

日本特許庁
JAPAN PATENT OFFICE

Jc978 U.S. Pat. & Tm. Off.
10/084367 Pro
02/26/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 8月27日

出願番号
Application Number:

特願2001-256108

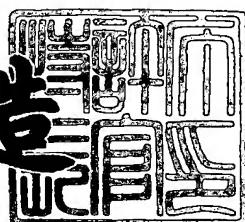
出願人
Applicant(s):

富士通株式会社

2001年11月 9日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3097946

【書類名】 特許願
【整理番号】 0140752
【提出日】 平成13年 8月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 南條 亮太
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 中井 聰
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 菅谷 慎二
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100091340
【弁理士】
【氏名又は名称】 高橋 敬四郎
【電話番号】 03-3832-8095
【選任した代理人】
【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 67164

【出願日】 平成13年 3月 9日

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、

(b) 前記第1の領域の一部及び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、

(c) 前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、

(d) 前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、

(e) 次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、

(f) 次いで、前記第1のスペーサ膜を除去する工程と、

(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程と
を有する半導体装置の製造方法。

【請求項2】 前記第1から第3までの活性化処理の各々は、750℃以上の熱処理を含む工程である

請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の活性化処理がレーザ・サーマル・プロセスである
請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 少なくとも前記第1のゲート電極はダミーゲート電極であり、前記(g)工程の後に、さらに、前記半導体基板上に前記ダミーゲート電極を形成する材料とは異なるエッチング特性を有する絶縁膜を形成するとともに、前記絶縁膜の表面を平坦化して前記ダミーゲート電極の上面を露出させる工程と、前記ダミーゲート電極を前記絶縁膜に対して選択的に除去する工程と、前記ダミーゲート電極を除去した場所に導電性材料を埋める工程とを含む
請求項1から3までのいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記第1のゲート電極のうち最短のゲート長が、前記第2のゲート電極の最短のゲート長よりも短い
請求項1から4までのいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記第1の活性化処理と前記第2の活性化処理とが、同時に行われる活性化処理である
請求項1に記載の半導体装置の製造方法。

【請求項7】 (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、

(b) 少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、

(c) 前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、

(d) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、

(e) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、

(f) 前記第1のスペーサ膜を除去する工程と、

(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記

第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程と
を有する半導体装置の製造方法。

【請求項8】 (a) 第1導電型の第1の領域と、素子分離用の絶縁膜が埋め込まれた第2の領域とが画定された半導体基板を準備する工程と、

(b) 少なくとも前記第1の領域の一部の上に、ゲート電極を形成するとともに、少なくとも前記第2の領域の一部の上に、前記ゲート電極と同じ材料により抵抗層を形成する工程と、

(c) 前記ゲート電極の側壁上と前記抵抗層の側壁上とに、それぞれ第1及び第2のスペーサ膜を形成する工程と、

(d) 前記ゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に前記第1導電型と反対の導電型を有する第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第1の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、

(e) 前記第1及び第2のスペーサ膜を除去する工程と、

(f) 前記ゲート電極をマスクとして、前記第1の領域の表層部に前記第2導電型の不純物を注入し、その後、第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程であって、該第2の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第2の活性化処理を行う工程と

を有する半導体装置の製造方法。

【請求項9】 (a) 第1導電型の第1及び第2の素子領域と、素子分離用の絶縁膜が埋め込まれた第3の領域と、が画定された半導体基板を準備する工程と、

(b) 少なくとも前記第1及び第2の領域の一部の上に、それぞれ第1及び第2のゲート電極を形成するとともに、少なくとも前記第3の領域の一部の上に、前記第1及び第2のゲート電極と同じ材料により抵抗層を形成する工程と、

(c) 前記第2のゲート電極をマスクとして前記第2の領域に前記第1の導電型とは反対の第2の導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第2の領域の表層部に第1の不純物拡散領域を形成する工程と、

(d) 前記第1及び第2のゲート電極の側壁上にそれぞれ第1のスペーサ膜を形成するとともに、前記抵抗層の側壁上に第2のスペーサ膜を形成する工程と、

(e) 前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、少なくとも前記第1の領域の表層部と前記第2の領域の表層部とのいずれか一方に前記第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、少なくとも前記第1又は第2の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、

(f) 前記第1及び第2のスペーサ膜を除去する工程と、

(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程と
を有する半導体装置の製造方法。

【請求項10】 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、

前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、

前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のS D E領域と、

前記第1のゲート電極の両側の表層部に形成され、p n接合部における不純物濃度分布の勾配が前記第1のS D E領域のp n接合部における不純物濃度分布の勾配よりも急峻に形成された第2のS D E領域と、

前記第1及び第2のS D E領域のそれぞれの両側に形成され、前記第1の領域

と前記第2の領域とでpn接合部における不純物濃度分布が同じであるソース／ドレイン領域と
を含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳細には、微細ゲートを有する高速動作が可能な高速用トランジスタと高電圧用のトランジスタのように、異なる不純物プロファイルを有する不純物拡散領域（不純物拡散領域）が必要な素子を同一基板上に形成するための半導体技術に関する。

【0002】

【従来の技術】

MOS型トランジスタを含む半導体装置の高性能化のためには、MOS型トランジスタの微細化が不可欠である。特にMOS型トランジスタのチャネル長、すなわちゲート長を短くすることにより、半導体装置の高速性を著しく向上させることができる。ゲート長を短くした場合には、いわゆるショートチャネル効果の影響を低減するために、ソース・ドレイン・エクステンション（Source Drain Extension：SDE）構造を採用するのが好ましい。

【0003】

例えば、ゲート電極を形成した後に、ゲート電極の側壁に側壁スペーサ膜などを設けることにより、ゲート電極の端部とスペースをあけてソース／ドレイン領域を形成する。SDE構造とは、このスペースの領域にソース／ドレインの不純物拡散領域よりも接合深さが浅く、ソース／ドレイン領域と同じ導電型の不純物拡散領域が形成された構造を言う。SDE構造中の不純物濃度が低いものから順に、LDD（Light Ily Doped Drain）構造、MDD（Mid ium Doped Drain）構造、HDD（High Ily Doped Drain）構造などと呼ばれる。

【0004】

尚、エクステンション領域とは、一般的にはその領域の不純物濃度が比較的高

い構造を指すものと考えられるが、本明細書中において用いるSDE構造又はSDE領域という用語は、その領域の不純物濃度の高低にかかわらず、上記のスペースの領域にソース／ドレインの不純物拡散領域よりも接合深さが浅く、ソース／ドレイン領域と同じ導電型の不純物拡散領域が形成された構造又は領域を表すものと定義する。

【0005】

例えば、トランジスタのゲート長を50nmにした場合には、SDE領域を形成する不純物拡散領域の厚さは20nmから30nm程度にするのが好ましい（SIA load map, 1999参照）。

【0006】

SDE領域を形成するためには、例えば、半導体基板中に不純物イオンを注入した後、ラピッド・サーマル・アニール（Rapid Thermal Anneal : RTA）法やレーザ・サーマル・プロセス（Laser Thermal Process : LTP）法を用いてイオンの活性化処理を行う。RTA法及びLTP法では、通常のTA（Thermal Anneal）法よりも昇温及び降温の速度を上げている。RTA法は、短時間の間に半導体基板全体の温度を変化させる。これに対して、LTP法は、半導体基板表面にレーザ照射することにより、極短時間の間に不純物の活性化率を上げることができ、半導体基板表面近傍に非常に浅くかつ不純物濃度が急峻に変化する接合を得ることができる。

【0007】

イオン注入法と上記の活性化処理と併用すれば、不純物濃度と、厚さ方向の不純物濃度プロファイルの急峻性と、不純物拡散領域の厚さとを調整することができる。

【0008】

【発明が解決しようとする課題】

ところで、半導体集積回路装置においては、例えば1.6V程度の低電圧で動作し、高速動作を必要とするゲート長の短いトランジスタ（以下、「高速動作用（の）トランジスタ」と称する。）と、例えば、3.3Vなどの高電圧での動作が可能であり、入出力（I/O）回路を構成するトランジスタ（以下、「高電圧

用（の）トランジスタ」と称する。）と同一基板内に混載する例も多い。

【0009】

図26（A）及び図26（B）は、SDE構造を採用した高速動作用トランジスタと、同じくSDE構造を採用した高電圧用のトランジスタとを同一基板上に混載した2種類の半導体装置の断面図である。

【0010】

図26（A）は、SDE領域を高電圧用のトランジスタに適するトランジスタ構造の断面図である。

【0011】

図26（A）に示すように、p型シリコン基板600に、素子分離領域600aにより分離された第1領域602と第2領域603とを画定する。第1領域602にゲート長の短い高速動作用トランジスタを形成する。高速動作用トランジスタの第1のゲート電極606を、ゲート絶縁膜604を介してp型シリコン基板600上に形成する。第2領域603にゲート長が長い高電圧用のトランジスタを形成する。高電圧用のトランジスタ用の第2のゲート電極607は、ゲート絶縁膜605を介してp型シリコン基板600上に形成する。

【0012】

高速動作用のトランジスタと高電圧用のトランジスタとは、ゲート電極下の領域から外側の半導体基板の表層部に続くn型のSDE領域611と、SDE領域611に続くn型ソース／ドレイン領域610とを有している。

【0013】

第1及び第2のゲート電極606及び607の側壁には、スペーサ膜612が形成され、スペーサ膜612の半導体領域の表層部にSDE領域611が形成されている。

【0014】

尚、第1及び第2のゲート電極606及び607の上面と、ソース／ドレイン領域610の表面とに、例えばC_oS_iなどの金属シリサイド層613を形成しても良い。金属シリサイド層613を形成すると、ゲート電極のシート抵抗と、ソース／ドレイン領域のシート抵抗とが低減する。

【0015】

ところで、高電圧用のトランジスタでは、ホットキャリアによるオン電流の減少を防止するために、n型のSDE領域611とその下のp型半導体領域（或いはp型シリコン基板600）との間のpn接合部において、n型不純物の濃度勾配が緩やかになるようにSDE領域を形成するのが好ましい。

【0016】

ところが、ゲート長の短い高速用のトランジスタのSDE領域も緩やかな不純物濃度勾配をもつため、短チャネル効果が顕著になる。

【0017】

図26（B）は、SDE領域を高速動作用のトランジスタに適した構造にした場合の断面図である。尚、図26（B）において、図26（A）に示した構成要素と同様の構成要素に関しては、図26（A）に示した符号に100をプラスした符号を付して詳細な説明を省略する。

【0018】

図26（B）に示す構造においては、p型シリコン基板700上の第1領域702と第2領域703とが画定され、それぞれの領域702、703に、高速動作用トランジスタと高電圧用のトランジスタとで同じ構造を有するn型のSDE領域711が形成されている。

【0019】

SDE領域711は、高速動作用のトランジスタに適するように、すなわち、高速化（ソース抵抗の低減）と短チャネル効果の抑制のために、n型不純物濃度を高くし、かつ、n型のSDE領域711とp型半導体領域（p型シリコン基板）との間のpn接合におけるn型不純物の濃度勾配が急峻になるように形成されている。

【0020】

ところが、高電圧用のトランジスタの場合には、pn接合におけるn型不純物濃度が急峻に変化するようにSDE領域を形成すると、ホットキャリアによるトランジスタのオン電流（I_{on}）の減少が生じる。すなわち、高電圧で駆動すると、ゲート絶縁膜の下（ドレイン端）の電界が大きくなる。従って、ホットキャ

リアが大量に発生し、オン電流が減少する。電界の影響を緩和するために、SDE構造を工夫する必要がある。

【0021】

また、高速動作用のトランジスタを形成する基板と同一基板上にn型の不純物拡散領域を利用した抵抗素子を形成する場合にも、n型の抵抗素子とその下のp型の半導体領域（又はp型シリコン基板）との間に不純物の濃度勾配が急なpn接合が存在すると、基板との間のリーク電流が増加してしまう。

【0022】

本発明の目的は、浅く急峻な不純物プロファイルを有するSDE領域を備えた高速動作用のトランジスタと、それとは異なる不純物プロファイルを有する不純物拡散領域を必要とする素子とを、同一基板上に効率良く形成する半導体技術を提供することである。

【0023】

【課題を解決するための手段】

本発明の一観点によれば、(a)主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b)前記第1の領域の一部及び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、(c)前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d)前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e)次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)次いで、前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第1の活性化処

理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法が提供される。

【0024】

p-n接合部における不純物濃度分布の勾配が急峻になる第3の不純物拡散領域を形成した後には、活性化のための熱処理が行われないので、不純物の過度の拡散を防止できる。従って、高速動作用のトランジスタにおける短チャネル効果や不純物の不活性化を抑制することができる。さらに、高電圧用のトランジスタのSDE領域を緩やかな不純物濃度勾配を有するp-n接合とすることができる。ホットキャリアの発生に起因するオン電流の減少を防止できる。

【0025】

本発明の他の一観点によれば、(a)主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b)少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、(c)前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d)前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e)前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法が提供される。

【0026】

上記の半導体装置の製造方法を用いると、3種類の異なる不純物濃度プロファ

イルを有する不純物拡散領域を同一基板上に形成することができる。

【0027】

特に、半導体基板又はその上に形成された第1導電型の半導体層との間に急峻なpn接合をもつ不純物拡散領域を最終の活性化処理工程において形成するため、pn接合の急峻性を維持できる。従って、高速トランジスタにおける短チャネル効果を抑制することができる。さらに、不純物拡散層を用いた抵抗素子の層を急峻なpn接合を有する上記の不純物拡散領域の場合よりも緩やかなpn接合で形成することができるため、リーク電流に起因する抵抗素子の特性の低下を防止できる。

【0028】

本発明のさらに別の観点によれば、(a) 第1導電型の第1の領域と、素子分離用の絶縁膜が埋め込まれた第2の領域とが画定された半導体基板を準備する工程と、(b) 少なくとも前記第1の領域の一部の上に、ゲート電極を形成するとともに、少なくとも前記第2の領域の一部の上に、前記ゲート電極と同じ材料により抵抗層を形成する工程と、(c) 前記ゲート電極の側壁上と前記抵抗層の側壁上とに、それぞれ第1及び第2のスペーサ膜を形成する工程と、(d) 前記ゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に前記第1導電型と反対の導電型を有する第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第1の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、(e) 前記第1及び第2のスペーサ膜を除去する工程と、(f) 前記ゲート電極をマスクとして、前記第1の領域の表層部に前記第2導電型の不純物を注入し、その後、第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程であって、該第2の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第2の活性化処理を行う工程とを有する半導体装置の製造方法が提供される。

【0029】

上記半導体装置の製造方法によれば、トランジスタにおけるソース／ドレイン領域の形成工程と抵抗層の低抵抗化工程とを同時に行うことができる。

【0030】

本発明のさらに他の観点によれば、(a) 第1導電型の第1及び第2の素子領域と、素子分離用の絶縁膜が埋め込まれた第3の領域と、が画定された半導体基板を準備する工程と、(b) 少なくとも前記第1及び第2の領域の一部の上に、それぞれ第1及び第2のゲート電極を形成するとともに、少なくとも前記第3の領域の一部の上に、前記第1及び第2のゲート電極と同じ材料により抵抗層を形成する工程と、(c) 前記第2のゲート電極をマスクとして前記第2の領域に前記第1の導電型とは反対の第2の導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第2の領域の表層部に第1の不純物拡散領域を形成する工程と、(d) 前記第1及び第2のゲート電極の側壁上にそれぞれ第1のスペーサ膜を形成するとともに、前記抵抗層の側壁上に第2のスペーサ膜を形成する工程と、(e) 前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、少なくとも前記第1の領域の表層部と前記第2の領域の表層部とのいずれか一方に前記第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、少なくとも前記第1又は第2の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、(f) 前記第1及び第2のスペーサ膜を除去する工程と、(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法が提供される。

【0031】

上記の半導体装置の製造方法によれば、少なくとも前記第1の素子領域と前記第2の素子領域とのいずれか一方のソース／ドレイン領域を形成すると同時に、

前記抵抗層の低抵抗化が可能となる。

【0032】

本発明のさらに他の観点によれば、主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のSDE領域と、前記第1のゲート電極の両側の表層部に形成され、pn接合部における不純物濃度分布の勾配が前記第1のSDE領域のpn接合部における不純物濃度分布の勾配よりも急峻に形成された第2のSDE領域と、前記第1及び第2のSDE領域のそれぞれの両側に形成され、前記第1の領域と前記第2の領域とでpn接合部における不純物濃度分布と同じであるソース／ドレイン領域とを含む半導体装置が提供される。

【0033】

上記の半導体装置においては、第2のSDE領域と、その下の第1導電型の不純物拡散領域又は半導体基板との間のpn接合部における不純物濃度分布の勾配が急峻に形成されているため、高速動作用トランジスタにおける短チャネル効果が抑制される。さらに、高電圧用トランジスタの第1のSDE領域は、高速動作用トランジスタの第2のSDE領域のpn接合よりも緩やかな不純物濃度勾配を有するpn接合をもつため、ホットキャリアの発生に起因するオン電流の減少を防止できる。ソース／ドレイン領域が同時に形成され、その後に同じ熱履歴を受けるため、前記第1の領域と前記第2の領域とでpn接合部における不純物濃度分布が同じである。

【0034】

【発明の実施の形態】

以下、本発明の第1の実施の形態による半導体装置及びその製造方法について図1(A)から図3(H)までを参照して、説明する。

【0035】

図1(A)に示すように、例えば、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ のp型シリコン基板100に、シャロートレンチアイソレーション(Shallow Trench

nch I s o l a t i o n : S T I) 法により素子分離領域 100a を形成する。図1 (A) においては、素子分離領域 100a によってシリコン基板 100 の表層部に、第1の素子領域 102 と第2の素子領域 103 との2種類の素子領域が画定される。

【0036】

第1の素子領域 102 の表層部 101a の p型不純物濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 程度に、第2の素子領域 103 の表層部 101b における p型不純物濃度を、 $4 \times 10^{16} \text{ cm}^{-3}$ 程度に調整する。第1の素子領域 102 の表層部 101a と第2の素子領域 103 の表層部 101b との p型不純物濃度を変えることにより、第1の素子領域 102 と第2の素子領域 103 とにそれぞれ形成されるトランジスタのしきい値電圧を調整することができる。

【0037】

第1の素子領域 102 と第2の素子領域 103 とを含むシリコン基板 100 の表面を酸化する。表面に形成された酸化シリコン膜の厚さは、例えば 9 nm である。その後、第2の素子領域 103 上にマスクを形成し、第1の素子領域 102 上に形成されている酸化シリコン層をエッチングにより 9 nm 分除去する。その後、再び例えば 2 nm 酸化する。

【0038】

第1の素子領域 102 上には、厚さ約 2 nm の酸化シリコン膜 104 が、第2の素子領域 103 上には、厚さ 9.2 nm の酸化シリコン膜 105 が形成される。これらの酸化シリコン膜 104、105 は、ゲート絶縁膜として機能する。

【0039】

次いで、基板上に厚さ 180 nm の多結晶シリコン膜を形成する。多結晶シリコン膜をパターニングして、第1の素子領域 102 上に、例えばゲート長 50 nm の短いゲート長を有する第1のゲート電極 106 を残す。第2の素子領域 103 上に、例えばゲート長 350 nm の比較的長いゲート長を有する第2のゲート電極 107 を残す。第1のゲート電極 106 のうち最短のゲート長を有するゲート電極は、第2のゲート電極 107 のうち最短のゲート長を有するゲート電極よりも短い。

【0040】

図1 (B) に示すように、第1の素子領域102上を覆うフォトレジストR11をマスクとして第2の素子領域103上に、例えばイオン種としてP(燐)を用いたイオン注入を行う。イオン注入の条件としては、例えば、加速エネルギー20keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ とする。第2のゲート電極107がイオン注入のマスクとなり、第2のゲート電極107の外側の半導体領域に、Pイオンが入り込む。フォトレジストマスクR11を除去した後、例えばRTA法により、1000°Cで10秒間の熱処理を行う。基板内に注入されたPイオンが活性化される。

【0041】

第2のゲート電極107の外側の半導体領域に、第1のn型不純物の濃度プロファイルを有する第1の不純物拡散領域108が形成される。この第1の不純物拡散領域108が高電圧用のトランジスタのSDE領域となる。

【0042】

CVD法により窒化シリコン膜(SiNx)を、例えば150nmの厚さで堆積する。反応性イオンエッティング法(RIE法)により、窒化シリコン膜を半導体基板100表面の全域において異方性エッティングを行う。図1 (C) に示すように、第1のゲート電極106と第2のゲート電極107との側壁に第1のスペーサ膜109を形成する。

【0043】

図2 (D) に示すように、第1及び第2の素子領域102及び103内に、例えばPをイオン種として用いたイオン注入を行う。イオン注入条件は、加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ である。第1及び第2のゲート電極106及び107と第1のスペーサ膜(側壁絶縁膜)109とがイオン注入のマスクとなり、第1のスペーサ膜109の外側の半導体基板100内の表層部に、Pイオンが注入される。例えばRTA法により、1025°Cで3秒間の熱処理を行う。Pイオンが活性化される。

【0044】

第1のスペーサ膜109の外側の半導体基板100の表層部に、ソース/ドレ

イン領域110が形成される。ソース／ドレイン領域110は、SDE領域108よりもn型不純物の濃度が高く、かつ、深い。第2の素子領域103においては、ソース／ドレイン領域110の各々とゲート電極107下のチャネル領域との間がSDE領域108により繋がる。第1の素子領域102においては、ソース／ドレイン領域110が第1のゲート電極106下のチャネル領域とが、ほぼ第1のスペーサ膜109の厚さ分に相当する距離だけ隔てられる。

【0045】

例えば磷酸を用いたウェットエッチング法により、第1のスペーサ膜109をゲート電極106に対して選択的に除去する。スペーサ膜109の除去には、ダメージの少ないケミカルドライエッチング（Chemical Dry Etching : CDE）法を用いても良い。図2（E）に示すように、ゲート電極106及び107の側壁からスペーサ膜が除去される。

【0046】

図2（F）に示すように、第2の素子領域103上を覆うフォトマスクR12を形成する。フォトマスクR12と第1のゲート電極106とをマスクとして、第1の素子領域102の表層部に、例えば砒素（As）をイオン種としてイオン注入を行う。イオン注入の条件は、加速エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ である。

【0047】

フォトマスクR12を除去した後、例えばLTP法により、Asイオンの活性化処理を行う。LTPは、例えば波長308nmのXeClパルスレーザを用いて行う。レーザのパルスあたりのエネルギー密度は、例えば200mJ/cm²から400mJ/cm²の範囲内である。

【0048】

第1のゲート電極106とソース及びドレイン領域110の各々との間の基板表層部に第3の不純物拡散領域（SDE領域）111が形成される。SDE領域111は、SDE領域108よりも、n型不純物拡散領域の厚さが薄いとともに、n型不純物濃度が高い。SDE領域111とその下のp型不純物拡散領域101aとの界面近傍におけるn型不純物濃度の勾配は、SDE領域108とp型半

導体領域101bとの界面近傍におけるn型不純物濃度の勾配よりも急峻になる

【0049】

例えばCVD法により、厚さ150nm程度の酸化シリコン(SiO₂)膜を堆積する。反応性イオンエッティング法(RIE法)により、半導体基板100全面にわたって酸化シリコン膜を異方性エッティングする。図3(G)に示すように、第1のゲート電極106と第2のゲート電極107との側壁に第2のスペーサ膜112が残る。

【0050】

尚、図3(H)に示すように、通常のシリサイドプロセスを用いて、ソース/ドレイン領域110の表層部とゲート電極106, 107の上面に金属シリサイド層113を形成しても良い。

【0051】

以上に説明した第1の実施の形態による半導体装置の製造方法を用いると、独立に2つのMOSトランジスタを形成する場合に比べて工程数が減少する。第1の素子領域102にゲート長の短い高速動作用トランジスタを形成するとともに、同じ半導体基板100上の第2の素子領域103に比較的ゲート長の長い高電圧用のトランジスタを形成することができる。2種類のMOSFETを別々に形成すると、4回のイオン注入と4回の活性化処理が必要になる。これに比べて、上記の実施例による工程においては、3回のイオン注入と3回の活性化処理を行えば済む。従って、工程数を増加させなくてすむ。

【0052】

高速動作用トランジスタと高電圧用のトランジスタとのソース/ドレイン領域110は、n型不純物の濃度を高くし、かつ、深くまで不純物を注入することにより、シート抵抗を低くすることができるとともに、ソース/ドレイン領域とそれに接続する配線とのコンタクト抵抗も低くすることができる。

【0053】

高電圧用のトランジスタのソース/ドレイン領域と第2のゲート電極107直下のチャネル領域との間の領域を繋ぐ第1のSDE領域108は、p型の導電性

を有する表層部101bとの間のpn接合において、n型不純物濃度の濃度勾配が緩やかに形成される。従って、ホットキャリアによるオン電流の減少を抑制することができる。

【0054】

高速動作用トランジスタのソース/ドレイン領域110と第1のゲート電極106直下のチャネル領域との間の領域を繋ぐ第2のSDE領域111は、不純物を活性化することを目的とする熱処理工程としては最終工程となる。第2のSDE領域111を形成した後は、活性化のための熱処理が行われないため、n型の不純物が過度に拡散したり不活性化したりすることを防止できる。

【0055】

加えて、第2のSDE領域111は、n型の不純物の濃度が第1のSDE領域108に比べて高い。加えて、第2のSDE領域111とその下のp型の導電性を有する表層部101aとの間に形成されるpn接合のn型不純物の濃度勾配は、第1のSDE領域108に比べて急峻な状態が維持される。従って、高速動作用のトランジスタにおいて、寄生抵抗を低減するとともに、ショートチャネル効果を抑制することができる。

【0056】

尚、ソース/ドレイン領域は、第1領域と第2領域とで同じ熱履歴を受けるため、第1領域と第2領域とで深さ方向のn型不純物濃度プロファイル或いはpn接合部のn型不純物濃度のプロファイルが同じ領域が存在することになる。特に、ソース/ドレイン領域が形成される前に形成されたSDE領域の厚さを越えた深い領域に、n型不純物濃度プロファイルが同じ領域が形成される。

【0057】

LTP法により第2のSDE領域111を形成する際に、シリコン基板100の表面の全面上にアブソーバ層、例えば金属層を形成しておいても良い。アブソーバ層は、レーザ照射工程におけるレーザ光の吸収を促進する。アブソーバ層を、多層膜により形成しても良い。

【0058】

短チャネル効果をさらに抑制するために、SDE領域の下に、ソース/ドレイ

ン領域の不純物の導電型とは逆の導電型を有する不純物イオンをポケット注入してポケット注入領域を形成しておいても良い。

【0059】

図3 (H) に、ポケット注入領域を形成した構造を示す。この場合には、図3 (H) に破線で示されるように、第2のSDE領域111及び第1のSDE領域108の下にポケット注入領域121a、121b (p型不純物拡散領域を含む) が形成される。ポケット注入領域121a、121bは、主として短チャネル効果の抑制を目的とするので、高速動作用のトランジスタにのみ設けても良い。

【0060】

第2のSDE領域111を形成する前に、例えばGeイオンを、加速エネルギー -15 keV 、ドーズ量 $4 \times 10^{14}\text{ cm}^{-2}$ の条件でイオン注入しても良い。このイオン注入工程により、シリコン基板100の表面領域をアモルファス化する(プレアモルファス化工程) ことができる。その後に第2のSDE領域用のイオン注入とLTP法による活性化の熱処理を行うと、アモルファス層を選択的に活性化することができ、より浅くかつ急峻な接合を形成することができる。

【0061】

また、第2のSDE領域111を形成する際に行う活性化のための熱処理工程として、LTP法の代わりにRTA法を用いても良い。RTA法を用いる場合の熱処理条件は、例えば、 1000°C で1秒間とすれば良い。

【0062】

尚、上記の実施の形態においては、第1のSDE領域108を形成するための第1のイオン注入工程と、 1000°C で10秒間のRTA法による活性化処理工程と、を行う。その後に、ゲート電極106、107の側壁に第1のスペーサ膜109を形成した後、ソース/ドレイン領域形成用の第2のイオン注入工程と、 1000°C で10秒間のRTA法による活性化処理工程と、を行う。

【0063】

上記の工程を、以下の工程に代えることも可能である。すなわち、第1のSDE領域108を形成するための第1のイオン注入工程を行う。活性化処理を行う前に、ゲート電極106、107の側壁に第1のスペーサ膜109を形成した後

、ソース／ドレイン領域形成用の第2のイオン注入工程を行う。次いで、第1のSDE領域108とソース／ドレイン領域形成とに注入されたイオンの活性化処理工程を行う。活性化処理を1回省略できる。但し、この工程を用いると、第1のSDE領域108とソース／ドレイン領域とで、活性化処理に適した条件が異なる場合には、どちらかの条件に合わせるか、両方の条件に基づいて新たな活性化処理条件を選ぶ必要がある。それぞれの領域に適した活性化処理を行う場合に比べると、少なくともいずれか一方の領域に関しては、活性化処理の最適条件からは外れることになる。以下の実施の形態に関しても同様の工程を採用できるが、同様の問題点が生じる可能性がある。

【0064】

次に、本発明の第1の実施の形態の変形例による半導体装置及びその製造方法について図4（A）から図5（F）までを参照して説明する。

【0065】

上記の第1の実施の形態による半導体技術では、最初に高電圧用のトランジスタの第1のSDE領域108を形成した後、ソース／ドレイン領域110を形成し、次いで第2のSDE領域111を形成した。本変形例による半導体技術においては、まずソース／ドレイン領域110を形成し、次いで、第1のSDE領域108を形成し、最後に第2のSDE領域111を形成する。プロセス条件等は、第1の実施の形態の場合とほぼ同様で良い。符号についても、第1の実施の形態と同一の構成要素には同一符号を付して、その詳細な説明は省略する。

【0066】

図4（A）に示すように、シリコン基板100上に画定されている第1の素子領域102上に第1のゲート電極106を、第2の素子領域103上に第2のゲート電極107を形成する。図4（B）に示すように、第1のゲート電極106と第2のゲート電極107の側壁上にスペーサ膜109を形成する。図4（C）に示すように、第1のゲート電極106及びスペーサ膜109と第2のゲート電極107及びスペーサ膜109をマスクとして、イオン注入と活性化処理を行い、ゲート電極の両側にソース／ドレイン領域110を形成する。

【0067】

図5 (D) に示すように、スペーサ膜109を除去する。図5 (E) に示すように、第1の素子領域102上をレジストマスクR11で覆い、第2の素子領域103上にイオン注入と活性化処理とを行うことにより、第2のゲート電極107とソース／ドレイン領域110との間を繋ぐ第1のSDE領域108を形成する。図5 (F) に示すように、第2の素子領域103上をレジストマスクR12で覆い、第1の素子領域102上にイオン注入と活性化処理とを行うことにより、第1のゲート電極106とソース／ドレイン領域110との間を繋ぐ第1のSDE領域111を形成する。

【0068】

以後、第1の実施の形態において図3 (G) 及び図3 (H) を参照して説明した工程と同様の工程を経て半導体装置が完成する。

【0069】

本変形例による半導体技術を用いた場合にも、高電圧用のトランジスタのソース／ドレイン領域と第2のゲート電極107直下のチャネル領域との間の領域を繋ぐ第1のSDE領域108は、p型の導電性を有する表層部101bとの間のpn接合において、n型不純物濃度の濃度勾配が緩やかに形成される。従って、ホットキャリアによるオン電流の減少を抑制することができる。

【0070】

高速動作用トランジスタのソース／ドレイン領域110と第1のゲート電極106直下のチャネル領域との間の領域を繋ぐ第2のSDE領域111は、不純物を活性化することを目的とする熱処理工程としては最終工程となる。第2のSDE領域111を形成した後は、活性化のための熱処理が行われないため、n型の不純物が過度に拡散したり不活性化したりすることを防止できる。

【0071】

但し、本変形例による方法を用いると、ソース／ドレイン領域110がその後に2度の熱履歴を受けるため、不純物の横方向への拡散が起りやすくなる。

【0072】

次に、本発明の第2の実施の形態による半導体装置及びその製造方法について図6 (A) から図9 (M) を参照して説明する。

【0073】

第2の実施の形態による半導体技術は、高速用トランジスタを製造する工程のうちの中間工程において、ダミーゲート電極を用いる点に特徴がある。

【0074】

図6 (A) に示すように、シリコン基板200を、素子分離領域200aによって、主として高速動作用のトランジスタが形成される第1の素子領域202と、主として高電圧用のトランジスタが形成される第2の素子領域203とを画定する。第1素子領域202と第2素子領域203の表層部に、それぞれ、P型の導電性を有する半導体層201a、201bを形成する。第1の素子領域202上にダミーゲート電極206を、第2の素子領域上にゲート電極207を形成する。尚、ダミーゲート電極206とゲート電極207とは実際には同じ層構成を有している。ダミーゲート電極206は、後の工程において除去されて真のゲート電極と置換されるため、ここではダミーゲート電極と称している。

【0075】

ダミーゲート電極206は、ゲート絶縁膜204上に形成され、厚さ150nmの多結晶シリコン層206bと、その上にCVD法により形成された厚さ50nmのシリサイド化防止用の酸化シリコン膜206aとを含む。ゲート電極207は、ゲート絶縁膜205上に形成され、厚さ150nmの多結晶シリコン層207bとその上にCVD法により形成された厚さ50nmのシリサイド化防止用の酸化シリコン膜207aとを含む。

【0076】

図6 (B) から図9 (H) までに示す工程は、図1 (B) から図3 (H) までに示す工程とほぼ同様の工程であり、詳細な説明は省略する。

【0077】

図6 (B) に示す工程では、第1の不純物拡散領域(SDE領域)208を形成する。図6 (C) に示す工程では、ゲート電極の側壁にスペーサ膜209を形成する。図7 (D) に示す工程では、ソース／ドレイン領域210を形成する。図7 (E) に示す工程では、スペーサ膜を除去する。図7 (F) に示す工程では、第2の素子領域上にレジストマスクを形成した後にイオン注入を行い、レジス

トマスクを除去した後に活性化の処理を行い、第2の不純物拡散領域（SDE領域）211を形成する。図8（G）に示す工程では、ゲート電極の側壁にスペーサ膜212を形成する。

【0078】

その後、図8（H）に示すように、第1の素子領域202上に、ダミーゲート電極206を有する高速動作用のトランジスタが形成されるとともに、第2の素子領域203上に、ゲート電極207を有する高電圧用のトランジスタが形成される。この際、シリサイド化防止膜206a及び207aが、多結晶シリコンゲート206b及び207bのシリサイド化を防止する。

【0079】

図8（I）に示すように、高密度プラズマCVD法を用いて、厚さ750nmの酸化シリコン膜214を基板全面に形成する。図8（J）に示すように、窒化シリコンにより形成されたスペーサ膜212の上面をエッティングストップとして、化学的機械的研磨（Chemical Mechaical Polishing : CMP）法により、ダミーゲート電極206の上面（206a）を露出させる。ゲート電極207の上面（207a）も露出する。

【0080】

図9（K）に示すように、第2の素子領域203上をフォトレジストマスクR1により覆う。第1のダミーゲート電極206（図8（J））を構成する酸化シリコン膜206a（図8（J））をフッ酸系のエッティング液を用いたウェット処理により除去し、次いで、多結晶シリコン層206b（図8（J））を、CDE法により除去する。さらに、フッ酸系のエッティング液を用いたウェット処理によりゲート酸化膜204（図8（J））上を除去する。ダミーゲート電極が形成されていたスペーサ膜212内に開口部215が形成される。

【0081】

図9（L）に示すように、シリコン基板200全面上に、例えばHfO₂により形成された厚さ15nmの高誘電率絶縁膜216と、例えばTiNにより形成された厚さ30nmのバリアメタル層217とを形成する。高誘電率絶縁膜216とバリアメタル層217とにより開口部215内が被覆される。

【0082】

基板上に、例えばW膜などの埋め込み金属膜218を堆積させ、次いでCMP法により平坦化処理を行う。尚、埋め込み金属218をバリアメタル217と同じ材料にしても良い。図9（M）に示すように、金属層216、217及び218により開口部215内が充填され、真のゲート電極が形成される。

【0083】

上記の工程によれば、ゲート長の短い高速動作用のトランジスタのゲート絶縁膜として高誘電率絶縁膜（ HfO_2 など）を用いることができる。従って、ゲート長を短くしたことに対応させてゲート絶縁膜を薄くしても、トンネル電流などに起因するゲートのリーク電流を抑制できる。

【0084】

一方、高電圧用のトランジスタには、ゲート電極を置換する工程を適用せず、最初に形成した多結晶シリコン電極をそのまま残している。従って、高電圧用のトランジスタをより安定的に製造することができる。

【0085】

尚、図9（K）に示す状態において、第2の素子領域203にレジストマスクR1を形成せずに、高電圧用のトランジスタのゲート電極も高速動作用のトランジスタのゲート電極と同様に金属電極で置換する工程を適用しても良い。

【0086】

また、上記の実施の形態において、シリサイド化防止膜206a、207aを、窒化シリコン膜（ $SiNx$ ）により形成し、第2のスペーサ膜212を酸化シリコン膜で形成しても良い。この場合には、ダミーゲート電極の除去は、磷酸処理とCDE処理を併用すれば良い。

【0087】

次に、図10（A）から図11（F）までを参照して、本発明の第2の実施の形態の変形例による半導体技術について説明する。プロセス条件等は、第2の実施の形態の場合とほぼ同様である。符号についても、本発明の第2の実施の形態と同一の構成要素には同一符号を付して、その詳細な説明は省略する。

【0088】

図10 (A) に示すように、シリコン基板200上に画定されている第1の素子領域202上に第1のダミーゲート206を、第2の素子領域203上に第2のダミーゲート207を形成する。図10 (B) に示すように、第1のダミーゲート206と第2のダミーゲート207の側壁上にスペーサ膜209を形成する。

【0089】

図10 (C) に示すように、第1のダミーゲート206及びスペーサ膜209と第2のダミーゲート207及びスペーサ膜209とをマスクとして、イオン注入と活性化処理を行い、ソース／ドレイン領域210を形成する。

【0090】

図11 (D) に示すように、スペーサ膜209を除去する。図11 (E) に示すように、第1の素子領域202上をレジストマスクR21で覆い、第2の素子領域203上にイオン注入と活性化処理を行うことにより、第1のSDE領域208を形成する。図11 (F) に示すように、第2の素子領域203上をレジストマスクで覆い、第1の素子領域202上にイオン注入と活性化処理を行うことにより、第2のSDE領域211を形成する。

【0091】

以後、第2の実施の形態において図8 (G) から図9 (M) までを参照して説明した工程と同様の工程を経て第2の実施の形態による半導体装置と同様の構造が完成する。

【0092】

上記の工程によれば、ゲート長の短い高速動作用のトランジスタのゲート絶縁膜として高誘電率絶縁膜 (HfO_2 など) を用いることができる。従って、ゲート長を短くしたことに対応させてゲート絶縁膜を薄くしても、トンネル電流などに起因するゲートのリーク電流を抑制できる。

【0093】

一方、高電圧用のトランジスタには、ゲート電極を置換する工程を適用せず、最初に形成した多結晶シリコン電極をそのまま残している。従って、高電圧用のトランジスタをより安定的に製造することができる。

【0094】

次に、本発明の第3の実施の形態による半導体装置及びその製造方法について、図12（A）から図14（H）までを参照して説明する。

【0095】

第3の実施の形態による半導体装置及びその製造方法においても、素子分離領域300aが、シリコン基板300を第1の素子領域302と第2の素子領域303とを画定する。基板300の表層部に例えば異なる不純物濃度を有し、p型の導電性を有する領域201aと201bとを形成する。

【0096】

本実施の形態による半導体製造技術においては、第1の素子領域302は、主として高速動作用のトランジスタを形成するための領域である。第2の素子領域303は、主として不純物拡散領域を抵抗層として利用した抵抗素子を形成するための領域である。

【0097】

図12（A）に示すように、第1の素子領域302に、ゲート絶縁膜304と第1のゲート電極306とを形成する。

【0098】

図12（B）に示すように、第1の素子領域302上を覆い、第2の素子領域303に開口307を形成するフォトレジストマスクR21を形成する。フォトレジストマスクR21をマスクとして、開口307内で露出する半導体基板300の表層部301bに不純物拡散層308を形成する。不純物拡散層308はイオン注入法を用いて形成する。例えば、Pイオンを加速エネルギー20keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。フォトレジストマスクR21を除去する。次いで、RTA法を用いて、1000°C、10秒の条件での活性化処理を行う。抵抗素子用の抵抗層が形成される。

【0099】

レジストマスクR21を除去した後、シリコン基板300全面に酸化シリコン膜を形成する。フォトリソグラフィー技術により、第2の素子領域303上をフォトレジストマスクで覆う。その後、異方性エッチング法により酸化シリコン層

をエッティングする。

【0100】

図12(C)に示すように、第2の素子領域303上に酸化シリコンにより形成された酸化シリコン層309bが残る。この際、第1の素子領域302上に形成されるゲート電極306の側壁にも酸化シリコンにより形成されたスペーサ膜309aが残る。

【0101】

図13(D)に示すように、マスク層309bと、ゲート電極306及びスペーサ膜309aと、をマスクとして、ソース／ドレイン領域形成のためのイオン注入を行う。マスク層309bが、第2の素子領域中へのイオンの注入を阻止する。ソース／ドレイン領域形成のためのイオン注入条件は、イオン種をPとし、加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ とした。次いで、活性化のための処理を行う。活性化処理の条件は、例えばRTA法を用い、1025°C、3秒間の熱処理を行う。

【0102】

次いで、スペーサ膜309aとマスク層309bとを除去する。

【0103】

図13(E)に示すように、第2の素子領域303上にフォトレジストマスクR31を形成する。この状態で、SDE領域形成用のイオン注入を行う。例えばAsイオンを、加速エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入する。レジストマスクR31を除去する。

【0104】

次いで、Asイオンを活性化するための活性化処理を行う。活性化処理は、LTP法等を用い、第1の実施の形態における第3の不純物拡散領域(SDE領域)111の活性化処理と同じ条件で行えばよい。

【0105】

図13(F)に示すように、ゲート電極306の両側に、ソース／ドレイン領域310に繋がるSDE領域311が形成される。

【0106】

シリコン基板300全面にCVD法により窒化シリコン膜を形成する。第2の素子領域303をフォトレジストにより覆った後、全面を異方性エッティングする。

【0107】

図14 (G) に示すように、第1の素子領域302においては、トランジスタのゲート電極306の側壁にスペーサ層312aが形成される。フォトレジストを除去する。第2の素子領域303上にシリサイド化防止膜312bが形成される。第2の素子領域303に形成された抵抗層308の表面はシリサイド化防止膜312bにより保護される。

【0108】

シリコン基板300上に例えばCo金属層を形成する。シリサイド化のための熱処理を行うと、ソース／ドレイン領域310上及びゲート電極306上にCoSi₂層が形成される。例えば、スペーサ膜312a上に形成されている未反応のCo金属層を除去する。第2の素子領域上に形成されている未反応のCo金属層も除去される。

【0109】

図14 (H) に示すように、第1の素子領域302に高速動作用のトランジスタが形成される。第2の素子領域303に抵抗素子308aが形成される。抵抗素子308a上にはシリサイド化防止膜312bが存在するため、シリサイド化されない。また、抵抗素子308aには、SDE領域形成用のイオンも注入されない。

【0110】

尚、上記の実施の形態においては、最初に抵抗素子用の不純物拡散領域を形成した後に、ソース／ドレイン領域を形成し、次いでSDE領域を形成したが、まず、ソース／ドレイン領域を形成し、次いで、抵抗素子を形成し、最後にSDE領域を形成しても良い。

【0111】

上記のように、第1から第4までの実施の形態においては、n型MOSトランジスタ又はn型抵抗素子を製造する場合を例にして説明したが、p型のMOSト

トランジスタや p 型の抵抗素子を同様の方法で形成することもできるのは言うまでもない。同一基板上に n 型と p 型との両方の素子を形成することも可能である。

【0112】

さらに、本実施の形態による半導体技術を、 p 型MOSFETと n 型MOSFETとを有するCMOS型の集積回路に適用することもできる。

【0113】

次に、本発明の第3の実施の形態の変形例による半導体装置及びその製造方法について、図15（A）から図19（J）までを参照して説明する。

【0114】

MOSFETの製造方法として、2-step AAP (Ac_tivated Anneal Process) が知られている。2-step AAP法に関しては、K. Goto et al., International Electron Device Meeting, 1997により公知である。2-step AAP法は、MOSFET用のゲート電極の側壁にサイドウォールスペーサを形成し、その後にソース／ドレイン領域形成用のイオン注入を行う。ここで、注入イオンを活性化するための1回目の熱処理を行う。熱処理前又は熱処理後にサイドスペーサを除去する。その後、ソース／ドレインエクステンション（SDE）領域形成のためのイオン注入を行う。ここで、注入イオンを活性化するための2回目の熱処理を行う。再び、サイドウォールスペーサを形成した後、サリサイド（Sel f-Aligned Silicide）プロセスを行う。

【0115】

ところで、上記2-step AAP法を用いた場合においても、上記第3の実施の形態と同様にトランジスタと抵抗素子とを同一基板上に形成する場合も多い。第3の実施の形態においては、イオン注入法などにより半導体基板内に形成した不純物拡散層を抵抗素子として用いた。抵抗素子を形成する方法としては、MOSFETのゲート電極として用いられる材料、主として導電性を持たせた多結晶シリコン層或いは多結晶シリコンゲルマニウムを抵抗素子用の材料として用いる方法も存在する。多結晶シリコン層の導電性を調整する方法としては、例えばMOSFETのソース／ドレイン領域形成のためのイオン注入の際に、多結晶

シリコン層に対してもイオンが注入されるようにしておけば良い。

【0116】

ところで、MOSFET用のゲート電極材料に対しては低抵抗化のためのシリサイド工程が有効であるが、抵抗素子として用いる多結晶シリコン層がシリサイド化されると、抵抗が低くなりすぎるという問題点があった。

【0117】

以下、ゲート電極と同じ材料で抵抗素子を形成する方法を含む半導体装置の製造方法について説明する。

【0118】

図15(A)に示すように、素子分離領域400a及び400bによりシリコン基板400に、第1の素子領域402a及び402bと第2の素子領域402cとを画定する。第1の素子領域402a及び402bはともに高速トランジスタを形成する領域であり、本実施の形態の変形例においても第3の実施の形態と同様に1つの素子領域として取り扱う。第1の素子領域402a及び402bにおいては、基板400の表層部に異なる導電性を有するp型領域401aとn型領域401bとを形成する。第2の素子領域402cにおいては、基板400の表層部にSTI(Shallow Tranch Isolation)により素子分離領域400bが形成されている。

【0119】

その後、基板400の表面上に、例えば酸化シリコン膜と多結晶シリコン膜とを堆積する。酸化シリコン膜は熱酸化により形成しても良いが、その場合には、素子分離領域400a及び400b上に酸化シリコン膜は形成されない。異方性エッチャング法により多結晶シリコン膜と酸化シリコン膜とをエッチャングし、第1素子領域402a上にゲート絶縁層404aとゲート電極層406aとにより形成されるゲート電極を、第1素子領域402b上にゲート絶縁層404bとゲート電極層406bとにより形成されるゲート電極を形成する。第2素子領域402c上に、酸化シリコン層404cと多結晶シリコン層406cとの積層構造が形成される。上述のように、熱酸化によりゲート絶縁層を形成する場合、酸化シリコン層404cは存在しない。

【0120】

図15（B）に示すように、ゲート電極と積層構造とを覆って基板400上に例えば窒化シリコン層409を堆積する。この状態において、例えば反応性イオンエッティング（RIE）などによる異方性エッティングを行う。図16（C）に示すように、ゲート電極と積層構造との側壁にサイドウォールスペーサ409a、409b及び409cが形成される。

【0121】

フォトリソグラフィー技術を用いることにより、図16（D）に示すように、第2の素子領域402c上と第1の素子領域のうちの一方402b（以下PMOS部402bと称する。）上とを覆い、第1の素子領域のうちの他方402a（以下NMOS部402aと称する。）上に開口を有するレジストマスクR41を形成する。次いで、NMOS部402aに対してAsをイオン注入する。イオン注入は、加速エネルギーが30keV、ドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。尚、基板400上に例えば酸化シリコン膜を15nm程度残した状態でイオン注入を行う場合には、注入エネルギーを40keVに高めてイオン注入を行えばよい。次いで、レジストマスクR41を除去する。

【0122】

図17（E）に示すように、NMOS部402a上を覆い、PMOS部402b上と第2素子領域402c上に開口を有するレジストマスクR43を形成する。レジストマスクR43をマスクとして、Bをイオン注入する。イオン注入は、加速エネルギーが5keV、ドーズ量が $4 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。尚、基板400上に例えば酸化シリコン膜を15nm程度残した状態でイオン注入を行う場合には、注入エネルギーを7keVに高めてイオン注入を行えばよい。PMOS部402bのソース／ドレインとなるべき領域及び抵抗素子用の多結晶シリコン層406c内にBイオンが注入される。PMOS部402bのソース／ドレイン領域と抵抗素子用の多結晶シリコン層406cとに同時にイオン注入を行うことにより、別途、抵抗素子用のイオン注入工程を不要とすることができます。尚、上記の工程では、PMOS部402bのソース／ドレインとなるべき領域と抵抗素子とのイオン注入を同時に行う例を示したが、NMOS部402aの

ソース／ドレイン領域と抵抗素子とのイオン注入を同時に行う工程を用いても良い。

【0123】

次いで、レジストマスクR43を除去する。基板内及び多結晶シリコン層中にイオン注入されたイオンを活性化するための熱処理を行う。熱処理工程としては、例えばRTA法により1050°C、3秒間の熱処理を行えば良い。その後、サイドウォールスペーサ409a、409b及び409c（図17（E））を除去する。

【0124】

図17（F）に示すように 第1素子領域402a及び402bに、それぞれソース／ドレイン領域410a及び410bが形成されるとともに、抵抗素子用の多結晶シリコン層406cが低抵抗化する。

【0125】

尚、上記の工程において、サイドウォールスペーサを形成する材料を窒化シリコンとし、素子分離領域に埋められる材料を酸化シリコン（窒化シリコンとはエッチング特性が異なる）とすることにより、素子分離領域内の酸化シリコンに対してサイドウォールスペーサを選択的に除去できる。

【0126】

図18（G）に示すように、PMOS部402bと第2素子領域402cとを覆い、NMOS部402a上に開口を有するレジストマスクR45で基板上を覆う。レジストマスクR45とゲート電極とをマスクとして、NMOS部402aにSDE用のイオン注入を行う。イオン注入は、イオン種として例えばAsイオンを用い、加速エネルギー5keV、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。レジストマスクR45を除去する。

【0127】

次いで、図18（H）に示すように、NMOS部402aと第2素子領域402cとを覆い、PMOS部402b上に開口を有するレジストマスクR47で基板上を覆う。レジストマスクR47とゲート電極とをマスクとして、PMOS部402bにSDE用のイオン注入を行う。イオン注入は、イオン種として例えば

Bイオンを用い、加速エネルギー0.5 keV、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ の注入条件で行う。レジストマスクR47を除去する。その後、SDE用のイオン注入により注入されたイオンを活性化するための熱処理を行う。熱処理条件としては、例えばRTA法を用い、1000°C 3秒間の熱処理を行えば良い。

【0128】

その後、サイドウォールスペーサを形成するための絶縁膜、例えば窒化シリコン膜を基板上に堆積する。第2素子領域402c上をレジストマスクR48で覆った後、異方性エッティングにより絶縁膜をエッティングする。

【0129】

図19(I)に示すように、NMOS部402aのゲート電極とPMOS部402bのゲート電極の側壁上にサイドウォールスペーサ412aと412bとがそれぞれ形成される。第2の素子領域402c上には、窒化シリコンにより保護膜431が形成される。レジストマスクR48を除去する。

【0130】

図19(J)に示すように、サリサイド(セルフアラインシリサイド)工程を行う。例えばCo金属膜を基板上に堆積し、所定の条件で熱処理を行う。多結晶シリコン層又はシリコン半導体層とCo金属層とが直接コンタクトしている領域では、金属シリサイド(CoSi_2)層が形成される。サイドウォールスペーサ上及び保護膜431上に堆積した未反応のCo層を、例えばフッ酸系のエッティング液などを用いることにより選択的に除去する。上記工程を用いれば、トランジスタのゲート電極上とソース/ドレイン領域上にはシリサイド層が形成されるのに対して、抵抗素子を構成する多結晶シリコン層上にはシリサイド層は形成されない。従って、抵抗素子の過度な低抵抗化を防止できる。

【0131】

その後、層間絶縁膜と配線とを形成する周知の工程により、素子間の配線を行い、集積回路を形成する。

【0132】

尚、上記の工程において、NMOS部のソース/ドレイン領域形成用イオン注入を先に、PMOS部のソース/ドレイン領域形成用イオン注入を後の工程で行

ったが、イオン注入の順番を反対にしても良い。SDEに関しても、PMOS部とNMOS部とでイオン注入の順番を入れ替えるても良い。

【0133】

第3の実施の形態による技術では、抵抗素子を半導体基板内へのイオン注入と活性化の熱処理とにより形成する。この際、新たなフォトリソグラフィー工程が必要となる。これに対して、本変形例による半導体技術を用いると、トランジスタのソース／ドレイン領域形成のためのイオン注入と、抵抗素子用の多結晶シリコン層低抵抗化のためのイオン注入とを同時に行える。従って、製造工程を簡略化できる。多結晶シリコンにより抵抗素子を形成すれば、基板内に形成されるp-n接合に起因する接合容量を低減することができる。

【0134】

半導体製造技術において、静電破壊から半導体素子を保護するための静電放電(ESD: Electro-Static Discharge)耐性用のMOSFETを形成する技術が用いられる。

【0135】

ところで、ESD耐性用のMOSFETとしては、ドレイン領域の一部はシリサイド化しない構造が必要となる。以下に、ESD耐性用のMOSFETを含む本発明の第4の実施の形態による半導体製造技術について図20、図21(A)から図25(J)までを参照して説明する。

【0136】

図20は、本実施の形態による論理集積回路の一例を示す平面図であり、ESD回路を含む高速ロジック回路の概略構造を示す平面図である。

【0137】

図20に示すように、本実施の形態による論理集積回路451は、高速ロジック回路部453と、I/O用回路455とを含む。入出力用のI/O回路455には、ESD回路457が含まれる。高速ロジック回路453は、主としてゲート長の短い高速動作用トランジスタにより構成される。I/O回路455は、主として比較的長いゲート長を有する高電圧用トランジスタにより構成される。ESD回路457も、主として比較的長いゲート長を有するトランジスタにより構

成される。その他、同一回路内に抵抗素子が設けられていても良い。

【0138】

図21(A)から図25(J)までを参照して、ESD回路と抵抗素子とを含む高速ロジック回路の製造工程について説明する。

【0139】

図21(A)に示すように、素子分離領域500aから500cまでによりシリコン基板500に、第1の素子領域502a及び502bと、第2の素子領域502cと、第3の素子領域502dと、第4の素子領域502eとを画定する。

【0140】

尚、第1の素子領域502a及び502bはともに高速動作用トランジスタを形成する領域であり、本実施の形態において1つの素子領域として取り扱う。また、第3の素子領域502d及び第4の素子領域502eは、それぞれn型MOSFETのみを示したが、p型MOSFETのみ、或いはn型とp型との両方の導電型のMOSFETを有していても良い。

【0141】

基板500の表層部であって、第1の素子領域502a及び502bに異なる導電性を有するp型領域501aとn型領域501bとを形成する。尚、第2の素子領域502cには、基板500の表層部にSTI(Shallow Trench Isolation)により素子分離領域500bが形成されている。

【0142】

その後、基板500の表面上に、例えば酸化シリコン膜と多結晶シリコン膜とを堆積する。酸化シリコン膜は熱酸化により形成しても良いが、その場合には、素子分離領域500a及び500b上に酸化シリコン膜は形成されない。

【0143】

異方性エッチング法により多結晶シリコン膜と酸化シリコン膜とをエッチングし、第1素子領域502a上にゲート絶縁層504aとゲート電極層506aとにより形成されるゲート電極を、第1素子領域502b上にゲート絶縁層504bとゲート電極層506bとにより形成されるゲート電極を形成する。第2素子

領域502c上に、酸化シリコン層504cと多結晶シリコン層506cとの積層構造を形成する。第3素子領域502d上及び第4の素子領域502e上に、ゲート絶縁膜504a及び504bよりも厚いゲート絶縁膜504dと504eとを形成する。

【0144】

図21(B)に示すように、第1の素子領域502a及び502bと、第2の素子領域502cとを覆い、第3の素子領域502dと第4の素子領域502e上に開口を有するレジストマスクR61を形成する。レジストマスクR61をマスクとして、第3の素子領域502dと第4の素子領域502eとに対して、SDE用のPのイオン注入を行う。イオン注入条件は、加速エネルギーが20keV、ドーズ量が $4 \times 10^{13} \text{ cm}^{-2}$ である。レジストマスクR61を除去する。

【0145】

次に、図22(c)に示すように、イオン注入されたPの活性化処理を行う。熱処理は、例えばRTA法により1000°C、10秒間の熱処理を行う。第3の素子領域502dと第4の素子領域502eに、SDE領域508dと508eとがそれぞれ形成される。

【0146】

次に、基板500上に例えば窒化シリコン膜を堆積させる。RIE法などの異方性エッティングを用いて、窒化シリコン膜をエッティングする。

【0147】

第1、第3及び第4の素子領域502a及び502b、502d及び502e上に形成されているゲート電極と第2の素子領域502cに形成されている積層構造との側壁に、例えば窒化シリコンによりサイドウォールスペーサ509aから509eまでが残る。尚、上記のRTA法による活性化処理を行わずに、窒化シリコン膜の堆積工程においてイオン注入されたPの活性化を行っても良い。

【0148】

いずれの活性化処理を行う場合においても、SDE領域508dと508eとは、破線で示すように不純物のプロファイルが深さ方向に広がり、緩やかな濃度勾配を有するpn接合を持つように活性化処理を行うのが好ましい。

【0149】

フォトリソグラフィー技術を用いることにより、図22(D)に示すように、第2の素子領域502c上と第1の素子領域のうちの一方502b(以下PMOS部502bと称する。)上とを覆い、第1の素子領域のうちの他方502a(以下NMOS部502aと称する。)上と第3及び第4の素子領域502d、502eに開口を有するレジストマスクR62を形成する。

【0150】

次いで、レジストマスクR62をマスクとして、NMOS部502aに対してAsをイオン注入する。イオン注入は、加速エネルギーが30keV、ドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。尚、基板500上に例えば酸化シリコン膜を15nm程度残した状態でイオン注入を行う場合には、注入エネルギーを40keVに高めてイオン注入を行えばよい。次いで、レジストマスクR62を除去する。

【0151】

図23(E)に示すように、NMOS部502a上及び第3及び第4素子領域502d、502eを覆い、PMOS部502bと第2素子領域502cに開口を有するレジストマスクR63を形成する。レジストマスクR63をマスクとして、Bをイオン注入する。Bのイオン注入は、加速エネルギーが5keV、ドーズ量が $4 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。尚、基板500上に例えば酸化シリコン膜を15nm程度残した状態でイオン注入を行う場合には、注入エネルギーを7keVに高めてイオン注入を行えばよい。PMOS部502bのゲート及びソース/ドレインとなるべき領域及び抵抗素子用の多結晶シリコン層506c内にBイオンが注入される。PMOS部502bのゲート及びソース/ドレイン領域510bと抵抗素子部502c用の多結晶シリコン層506cとに同時にBのイオン注入を行うことにより、抵抗素子用のイオン注入工程を新たに追加しなくて良い。尚、上記の工程では、PMOS部502bのゲート及びソース/ドレイン領域510bと抵抗素子部502cとに同時にイオン注入を行う例を示したが、NMOS部502aのソース/ドレインとなる領域と抵抗素子部502cとに同時にイオン注入を行う工程を用いても良い。次いで、レジストマスクR63を

除去する。基板500内（ソース／ドレインとなる領域510b）と多結晶シリコン層506c中に注入されたイオンを活性化するための熱処理を行う。熱処理工程としては、例えばRTA法により1050°C、3秒間の熱処理を行えば良い。その後、サイドウォールスペーサ509a、509b、509c、509d及び509eを除去する。

【0152】

図23(F)に示すように 第1素子領域のNMOS部502a及びPMOS部502bに、それぞれソース／ドレイン領域510a及び510bが形成されるとともに、抵抗素子用の多結晶シリコン層506cが低抵抗化する。

【0153】

尚、上記の工程において、サイドウォールスペーサを形成する材料を窒化シリコンとし、素子分離領域に埋められる材料を酸化シリコン（窒化シリコンとはエッチング特性が異なる）とすることにより、素子分離領域内の酸化シリコンに対してサイドウォールスペーサを選択的に除去できる。

【0154】

図24(G)に示すように、NMOS部502a上を開口するレジストマスクR64を形成する。レジストマスクR64とゲート電極506aとをマスクとして、NMOS部502aにSDE用のイオン注入を行う。イオン注入は、イオン種として例えばAsイオンを用い、加速エネルギー5keV、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ の注入条件で行う。レジストマスクR64を除去する。

【0155】

次いで、図24(H)に示すように、PMOS部502bに開口を有するレジストマスクR65を形成する。レジストマスクR65とゲート電極506bとをマスクとして、PMOS部502bにSDE用のイオン注入を行う。イオン注入は、イオン種として例えばBイオンを用い、加速エネルギー0.5keV、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ の注入条件で行う。レジストマスクR47を除去する。その後、SDE用のイオン注入により注入されたイオンの活性化のための熱処理を行う。熱処理条件としては、例えばRTA法を用い、1000°C 3秒間の熱処理を行った。

【0156】

その後、サイドウォールスペーサを形成するための絶縁膜、例えば窒化シリコン膜を基板上に堆積する。第2素子領域502c上を覆うレジストマスクR66と、第4の素子領域504e上に形成されるESD用トランジスタのソース／ドレイン領域510e中であってゲート電極506eの両側の端部からある距離だけ離れた一部領域上を覆う、ソース／ドレイン領域上にそれぞれ形成されたレジストマスクR66-1及びR66-2とを同時に形成する。

【0157】

レジストマスクR66と、R66-1及びR66-2とを、マスクとして例えばRIE法などを用いた異方性エッティングにより窒化シリコン膜をエッティングする。

【0158】

図25(I)及び(J)に示すように、高速動作用のNMO S部502a及びPMOS部(第1素子領域)502b、高電圧用トランジスタ部(第3素子領域)502d及びESD用トランジスタ部(第4素子領域)502eに形成されるゲート電極のそれぞれの側壁上にサイドウォールスペーサ512a、512b、512d及び512eが形成される。加えて、抵抗素子部(第2素子領域)502c上に窒化シリコン層531が残るとともに、ESD部(第4素子領域)502e上のソース／ドレイン領域の一部領域上に、それぞれ窒化シリコン層535a／535bが残る。レジストマスクR66、R66-1及びR66-2を除去する。

【0159】

基板上に、例えばC_o層を堆積させる。

【0160】

次いで、サリサイド(セルフアラインシリサイド)工程を行う。例えばC_o金属膜を基板上に堆積し、所定の条件で熱処理を行う。多結晶シリコン層又はシリコン半導体層とC_o金属層とが直接コンタクトしている領域では、金属シリサイド(C_oSi₂)層513が形成される。サイドウォールスペーサ上及び保護膜531及び535a・535b上に堆積した未反応のC_o層を、例えばフッ酸系

のエッチング液などを用いることにより選択的に除去する。

【0161】

上記工程を用いれば、高速動作用及び高電圧用のトランジスタのゲート電極上とソース／ドレイン領域上にはシリサイド層が形成されるのに対して、抵抗素子を構成する多結晶シリコン層上と、ESD用のトランジスタのドレイン領域のうちの一部領域上にはシリサイド層は形成されない。従って、抵抗素子の過度な低抵抗化を防止できるとともに、ESD用のトランジスタを形成することもできる。尚、図25(I)において、ESD用のトランジスタのドレイン領域510eの中間付近にシリサイド化防止用のマスクR66-1及びR66-2を形成したのは、これらのマスクを形成する際の合わせ余裕を（ゲート電極形成時の合わせ余裕に比べて）大きくとるためである。

【0162】

その後、層間絶縁膜と配線とを形成する周知の工程により、素子間の配線を行い、集積回路を形成する。

【0163】

尚、上記の工程において、NMO S部のソース／ドレイン領域形成用イオン注入を先に、PMO S部のソース／ドレイン領域形成用イオン注入を後の工程で行ったが、イオン注入の順番を反対にしても良い。SDEに関しても、PMO S部とNMO S部とでイオン注入の順番を入れ替えても良い。

【0164】

第4の実施の形態による技術では、トランジスタのソース／ドレイン領域形成のためのイオン注入と、抵抗素子用の多結晶シリコン層低抵抗化のためのイオン注入と、高電圧用トランジスタ及びESD用トランジスタのソース／ドレイン領域形成のためのイオン注入とを同時に行える。従って、製造工程を簡略化できる。

【0165】

多結晶シリコンにより抵抗素子を形成するため、基板内に形成されるp-n接合に起因する接合容量を低減することができる。また、高電圧用トランジスタ及びESD用トランジスタのSDE領域を形成した後、高速動作用トランジスタの

SDE領域を形成するため、前者と後者のSDE領域の不純物プロファイルを独立に設計することができる。本実施の形態による技術においては、高電圧用トランジスタ及びESD用トランジスタのSDE領域と基板との間のpn接合の濃度勾配緩やかに形成するとともに、高速動作用トランジスタのSDE領域と基板との間のpn接合を急峻にすることができる。

【0166】

従って、前者のトランジスタにおいて、ホットキャリア劣化によるオン電流の減少を抑制できるとともに、後者のトランジスタにおいてソース抵抗を低減するとともに短チャネル効果を抑制することができる。

【0167】

さらに、高速動作用トランジスタのゲート絶縁膜の膜厚よりも高耐圧用及びESD用のトランジスタのゲート絶縁膜の厚さを厚くすることにより、高耐圧用及びESD用のトランジスタのゲート絶縁膜の劣化を抑制することができる。

【0168】

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0169】

尚、本願明細書に記載されている発明に関して、特許請求の範囲に記載した発明と併せて、以下に付記する発明についても抽出可能である。

(付記1) (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b) 前記第1の領域の一部及び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、(c) 前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d) 前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e) 次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不

純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)次いで、前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。

(1)

(付記2) 前記(c)工程は、前記(f)工程の後に行うことを特徴とする付記1に記載の半導体装置の製造方法。

(付記3) 前記第1から第3までの活性化処理の各々は、750℃以上での熱処理を含む工程である付記1又は2に記載の半導体装置の製造方法。(2)

(付記4) さらに、(h)前記第1及び第2のゲート電極の側壁上に第2のスペーサ膜を形成する工程と、(i)前記第2のスペーサ膜をマスクとして前記第1及び第2のゲート電極上及び前記第2の不純物拡散領域上に金属シリサイド層を形成する工程とを含む付記1から3までのいずれか1に記載の半導体装置の製造方法。

(付記5) 前記第3の活性化処理がレーザ・サーマル・プロセスである付記1から4までのいずれか1に記載の半導体装置の製造方法。(3)

(付記6) 前記(g)工程は、前記半導体基板上に照射するレーザの吸収効率を良くするための吸収層を形成する工程と、少なくとも前記第1領域に前記第1のゲート電極をマスクとして第2導電型の不純物イオンを注入する工程と、レーザ・サーマル・プロセス法により熱処理を行う工程とを含む付記5に記載の半導体装置の製造方法。

(付記7) 少なくとも前記第1のゲート電極はダミーゲート電極であり、前記(g)工程の後に、さらに、前記半導体基板上に前記ダミーゲート電極を形成する材料とは異なるエッチング特性を有する絶縁膜を形成するとともに、前記絶縁膜の表面を平坦化して前記ダミーゲート電極の上面を露出させる工程と、前記ダミ

ーゲート電極を前記絶縁膜に対して選択的に除去する工程と、前記ダミーゲート電極を除去した場所に導電性材料を埋める工程とを含む付記1から6までのいずれか1に記載の半導体装置の製造方法。 (4)

(付記8) 前記第1のゲート電極のうち最短のゲート長が前記第2のゲート電極のうち最短のゲート長よりも短い付記1から7までのいずれか1に記載の半導体装置の製造方法。 (5)

(付記9) 前記第1の活性化処理と前記第2の活性化処理とが同時に行われる活性化処理である付記1に記載の半導体装置の製造方法。 (6)

(付記10) (a) 主面内に第1導電型の第1領域及び第2領域が画定された半導体基板を準備する工程と、(b) 少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、(c) 前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f) 前記第1のスペーサ膜を除去する工程と、(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。 (7)

(付記11) (a) 主面内に第1導電型の第1領域及び第2領域が画定された半導体基板を準備する工程と、(b) 少なくとも前記第1領域の一部の上に、第1のゲート電極を形成する工程と、(c) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(d) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1領域の表層部に、前記第2導電型の不純物を注

入り、その後第1の活性化処理を行うことにより第1の不純物拡散領域を形成する工程と、(e)前記第2領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第2の活性化処理で形成された前記第2の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。

(付記12) 前記活性化処理は、いずれも750℃以上での熱処理を含む工程である付記10又は11に記載半導体装置の製造方法。

(付記13) 前記第3の活性化処理は、レーザ・サーマル・プロセスである付記10又は11に記載の半導体装置の製造方法。

(付記14) 前記第1のゲート電極のうち最短のゲート長が、前記第2のゲート電極のうち最短のゲート長よりも短い付記10から13までのいずれか1に記載の半導体装置の製造方法。

(付記15) (a) 第1導電型の第1の領域と、素子分離用の絶縁膜が埋め込まれた第2の領域とが画定された半導体基板を準備する工程と、(b)少なくとも前記第1の領域の一部の上に、ゲート電極を形成するとともに、少なくとも前記第2の領域の一部の上に、前記ゲート電極と同じ材料により抵抗層を形成する工程と、(c)前記ゲート電極の側壁と前記抵抗層の側壁とに、それぞれ第1及び第2のスペーサ膜を形成する工程と、(d)前記ゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に前記第1導電型と反対の導電型を有する第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第1の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、(e)前記第1及び第2のスペーサ膜を除去する工程と、(f)前記ゲート電極をマスクとして、前記第1の領域の表層部に前記第2導電型の不

純物を注入し、その後、第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程であって、該第2の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第2の活性化処理を行う工程とを有する半導体装置の製造方法。 (8)

(付記16) さらに、(g) 前記ゲート電極及び前記抵抗層を覆って前記半導体基板上に保護用絶縁膜を形成する工程と、(h) 前記第2素子領域上を覆うマスクを形成した後、前記保護用絶縁膜を異方性エッチングして前記ゲート電極の側壁上と前記第2素子領域上とに保護用絶縁膜を残す工程と、(i) 前記半導体基板上に金属層を堆積した後熱処理を行うことより、前記第2の不純物拡散領域と前記ゲート電極との上面に金属シリサイド層を形成する工程と、(j) 前記保護用絶縁膜上の未反応の前記金属層を選択的に除去する工程とを含む付記15に記載の半導体装置の製造方法。

(付記17) (a) 第1導電型の第1及び第2の素子領域と、素子分離用の絶縁膜が埋め込まれた第3の領域と、が画定された半導体基板を準備する工程と、(b) 少なくとも前記第1及び第2の領域の一部の上に、それぞれ第1及び第2のゲート電極を形成するとともに、少なくとも前記第3の領域の一部の上に、前記第1及び第2のゲート電極と同じ材料により抵抗層を形成する工程と、(c) 前記第2のゲート電極をマスクとして前記第2の領域に前記第1の導電型とは反対の第2の導電型の不純物を注入し、その後第1の活性化処理を行うことにより、前記第2の領域の表層部に第1の不純物拡散領域を形成する工程と、(d) 前記第1及び第2のゲート電極の側壁上にそれぞれ第1のスペーサ膜を形成するとともに、前記抵抗層の側壁上に第2のスペーサ膜を形成する工程と、(e) 前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、少なくとも前記第1の領域の表層部と前記第2の領域の表層部とのいずれか一方に前記第2導電型の不純物を注入するとともに、前記抵抗層中に前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、少なくとも前記第1又は第2の領域の表層部に第2の不純物拡散領域を形成するとともに、前記抵抗層を低抵抗化する工程と、(f) 前記第1及び第2のスペーサ膜を除去する工程と、(

g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。

(9)

(付記18) さらに、(h) 前記第1及び第2のゲート電極及び前記抵抗層を覆って前記半導体基板上に保護用絶縁膜を形成する工程と、(i) 前記第3素子領域上と前記第1の不純物拡散領域の一部領域上を覆うマスクを形成した後、前記保護用絶縁膜を異方性エッチングして前記第1及び第2のゲート電極の側壁上と前記第2素子領域上と前記一部領域上とに保護用絶縁膜を残す工程と、(j) 前記半導体基板上に金属層を堆積した後熱処理を行うことより、前記一部領域を除く前記第2の不純物拡散領域と前記第1及び第2のゲート電極との上面に金属シリサイド層を形成する工程と、(k) 前記保護用絶縁膜上の未反応の前記金属層を選択的に除去する工程とを含む付記17に記載の半導体装置の製造方法。

(付記19) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のSDE領域と、前記第1のゲート電極の両側の表層部に形成され、p n接合部における不純物濃度分布の勾配が前記第1のSDE領域のp n接合部における不純物濃度分布の勾配よりも急峻に形成された第2のSDE領域と、前記第1及び第2のSDE領域のそれぞれの両側に形成され、前記第1の領域と前記第2の領域とでp n接合部における不純物濃度分布が同じであるソース／ドレイン領域とを含む半導体装置。(10)

(付記20) 前記第1のゲート電極のゲート長が、前記第2のゲート電極のゲート長よりも短い付記15に記載の半導体装置。

(付記21) さらに少なくとも前記第1のSDE領域下に、第1導電性を有する

ポケット注入領域が形成されている付記15又は16に記載の半導体装置。

【0170】

【発明の効果】

本発明によると、同一基板上に、急峻なp-n接合をもつ高速動作用トランジスタと、高速動作用トランジスタのp-n接合よりも不純物濃度の勾配が緩やかなp-n接合を有する高電圧用のトランジスタとを工程数の増加を抑えつつ製造することができる。高速動作用トランジスタの短チャネル効果を抑制しつつ、高電圧用のトランジスタにおけるホットキャリアに起因するオン電流の減少を抑制することができる。

【0171】

さらに、高速動作用トランジスタを形成した基板と同一基板上に不純物拡散層を用いた抵抗素子を形成した場合に、抵抗素子のリーク電流を抑制することができる。

【0172】

また、高速動作用トランジスタを形成した基板と同一基板上にトランジスタのゲート電極と共に形成された抵抗層を用いた抵抗素子を形成した場合に、高速動作用トランジスタのソース／ドレイン領域の形成のための不純物添加と同時に抵抗層の低抵抗化が可能なため、製造工程が簡略化する。

【0173】

さらにESD用のトランジスタも同一基板上に形成する場合に、ESD用のトランジスタのドレイン領域内的一部領域に形成するシリサイド化防止用の保護膜と抵抗層上に形成されるシリサイド化防止用の保護膜とを同一工程で形成でき、工程の複雑化が避けられる。

【0174】

従って、高性能かつ高い信頼性を有する半導体集積回路を実現できる。

【図面の簡単な説明】

【図1】 図1 (A) から (C) までは、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】 図2 (D) から (F) までは、本発明の第1の実施の形態による

半導体装置の製造方法を示す断面図である。

【図3】 図3 (G) 及び (H) は、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図4】 図4 (A) から (C) までは、本発明の第1の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図5】 図5 (D) から (F) までは、本発明の第1の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図6】 図6 (A) から (C) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図7】 図7 (D) から (F) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図8】 図8 (G) から (J) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図9】 図9 (K) から (M) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図10】 図10 (A) から (C) までは、本発明の第2の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図11】 図11 (D) から (F) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図12】 図12 (A) から (C) までは、本発明の第3の実施の形態による半導体装置の製造方法を示す断面図である。

【図13】 図13 (D) から (F) までは、本発明の第3の実施の形態による半導体装置の製造方法を示す断面図である。

【図14】 図14 (G) 及び (H) は、本発明の第3の実施の形態による半導体装置の製造方法を示す断面図である。

【図15】 図15 (A) 及び (B) は、本発明の第3の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図16】 図16 (C) 及び (D) は、本発明の第3の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図17】 図17（E）及び（F）は、本発明の第3の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図18】 図18（G）及び（H）は、本発明の第3の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図19】 図19（I）及び（J）は、本発明の第3の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図20】 本発明の第4の実施の形態による半導体装置の平面図である。

【図21】 図21（A）及び（B）は、本発明の第4の実施の形態半導体装置の製造方法を示す断面図である。

【図22】 図22（C）及び（D）は、本発明の第4の実施の形態半導体装置の製造方法を示す断面図である。

【図23】 図23（E）及び（F）は、本発明の第4の実施の形態半導体装置の製造方法を示す断面図である。

【図24】 図24（G）及び（H）は、本発明の第4の実施の形態半導体装置の製造方法を示す断面図である。

【図25】 図25（I）及び（J）は、本発明の第4の実施の形態半導体装置の製造方法を示す断面図である。

【図26】 図26（A）及び（B）は、従来の半導体装置の問題点を説明するための断面図である。

【符号の説明】

100 シリコン基板

102 第1の素子領域

103 第2の素子領域

104、105 ゲート絶縁膜

106、107 ゲート電極

108 第1の不純物拡散領域（SDE領域）

109、112 スペーサ膜

110 第2の不純物拡散領域（ソース／ドレイン領域）

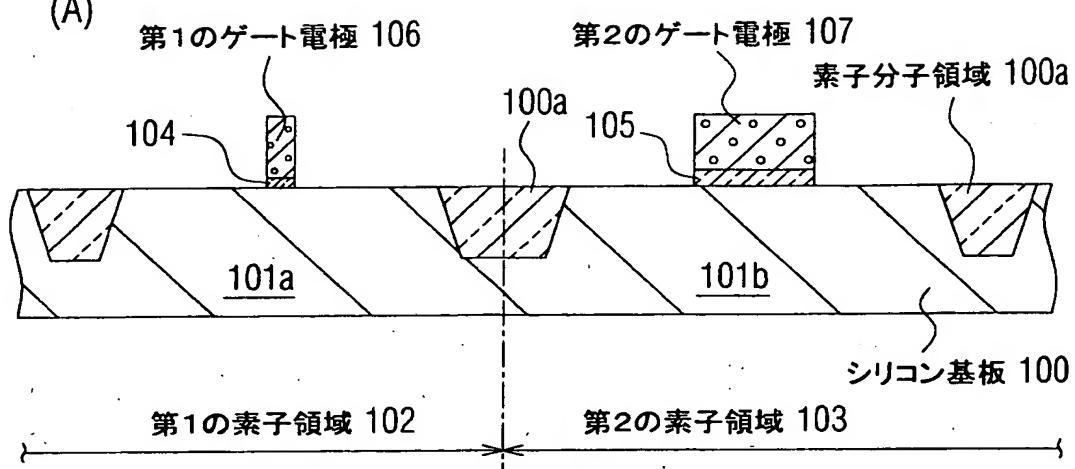
111 第3の不純物拡散領域（SDE領域）

- 113 金属シリサイド層
- 206 ダミーゲート電極
- 207 ゲート電極
- 208 第1の不純物拡散領域（SDE領域）
- 209、212 スペーサ膜
- 210 第2の不純物拡散領域（ソース／ドレイン領域）
- 211 第3の不純物拡散領域（SDE領域）
- 214 シリコン酸化膜
- 216 高誘電率絶縁膜
- 217 バリアメタル
- 218 埋め込み金属層
- 308 不純物拡散領域（抵抗素子用の抵抗層）
- 310 第1の不純物拡散領域（ソース／ドレイン領域）
- 311 第2の不純物拡散領域（SDE領域）
- 400 半導体基板
- 402a NMOS部
- 402b PMOS部
- 402c 抵抗素子部
- 431 保護膜
- 453 高速ロジック回路
- 455 I/O回路
- 457 ESD回路
- 500 半導体基板
- 502a NMOS部
- 502b PMOS部
- 502c 抵抗素子部
- 502d 第3素子領域
- 502e 第4素子領域
- 531 保護膜

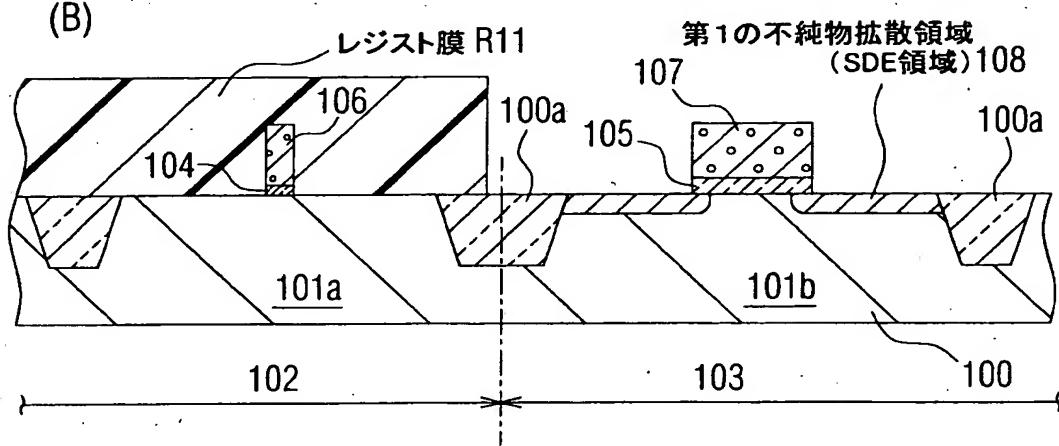
【書類名】 図面

【図1】

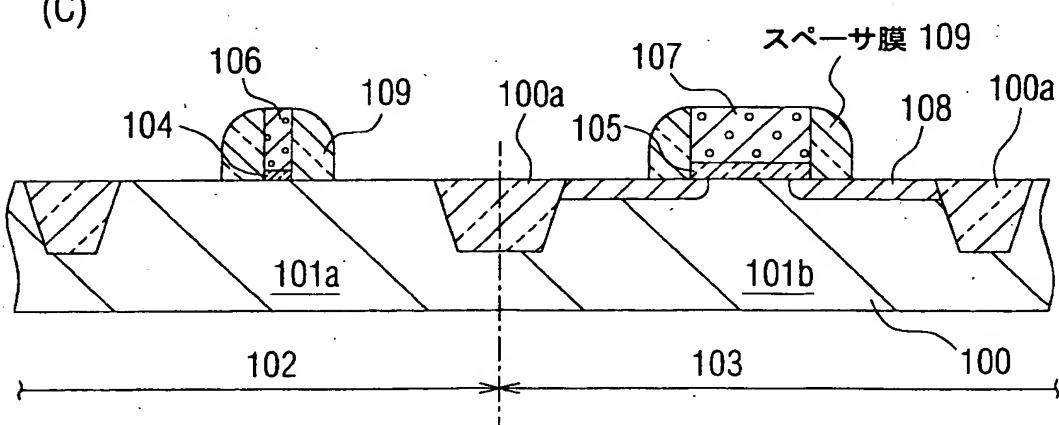
(A)



(B)

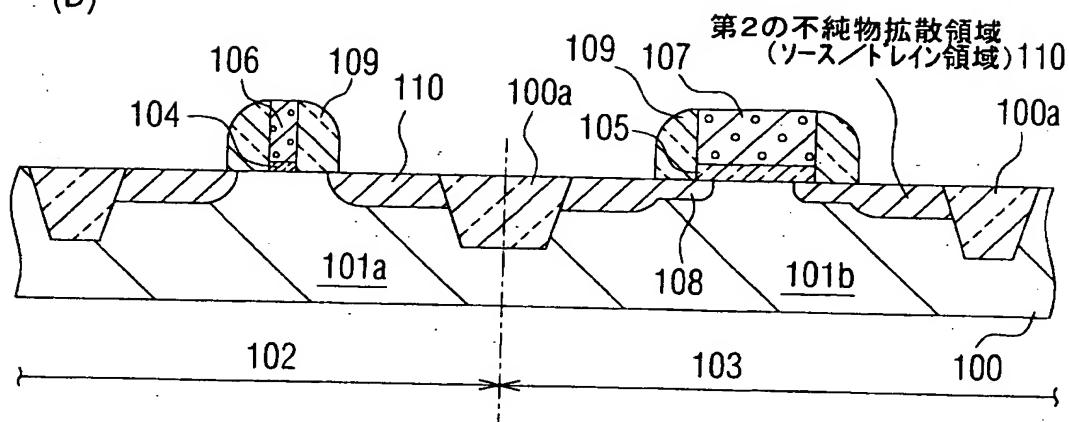


(C)

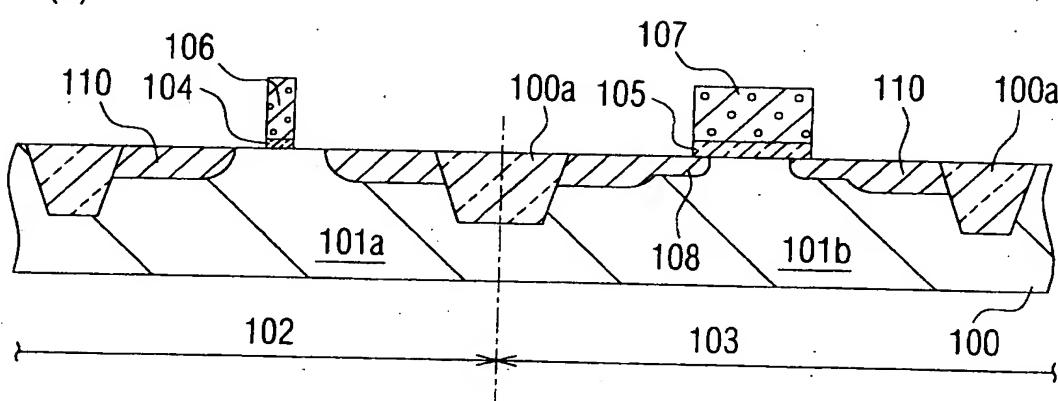


【図2】

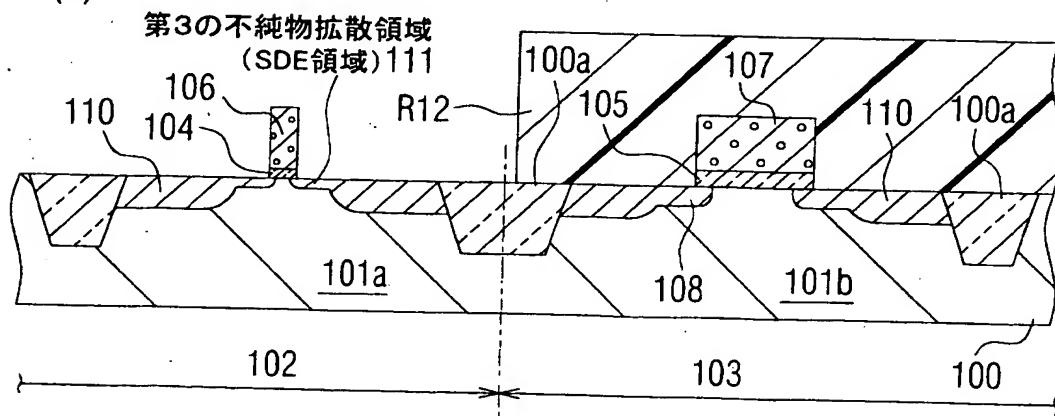
(D)



(E)

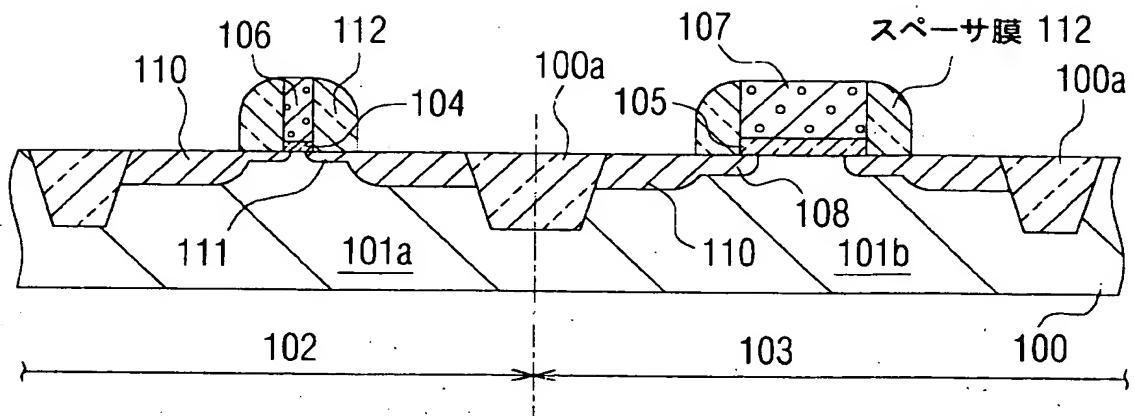


(F)

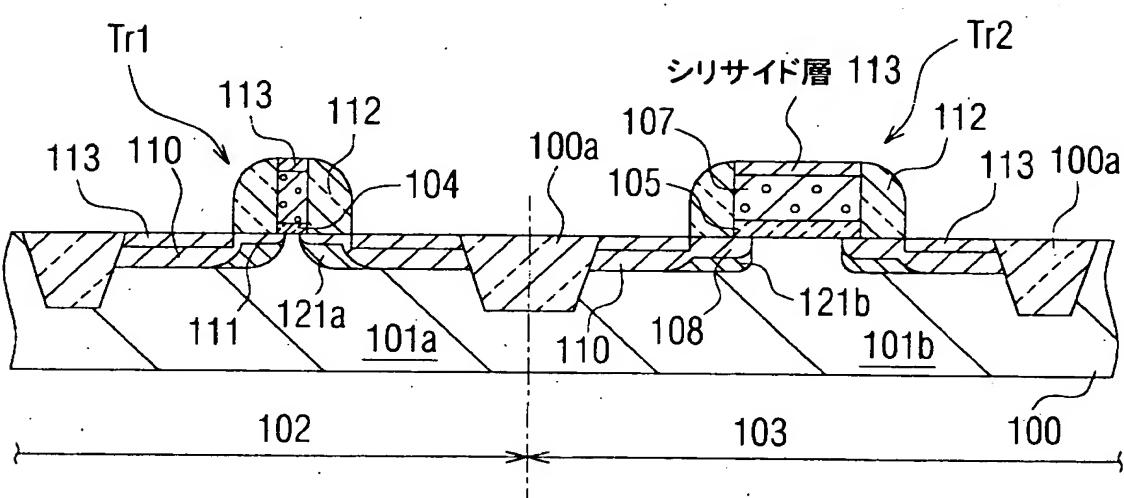


【図3】

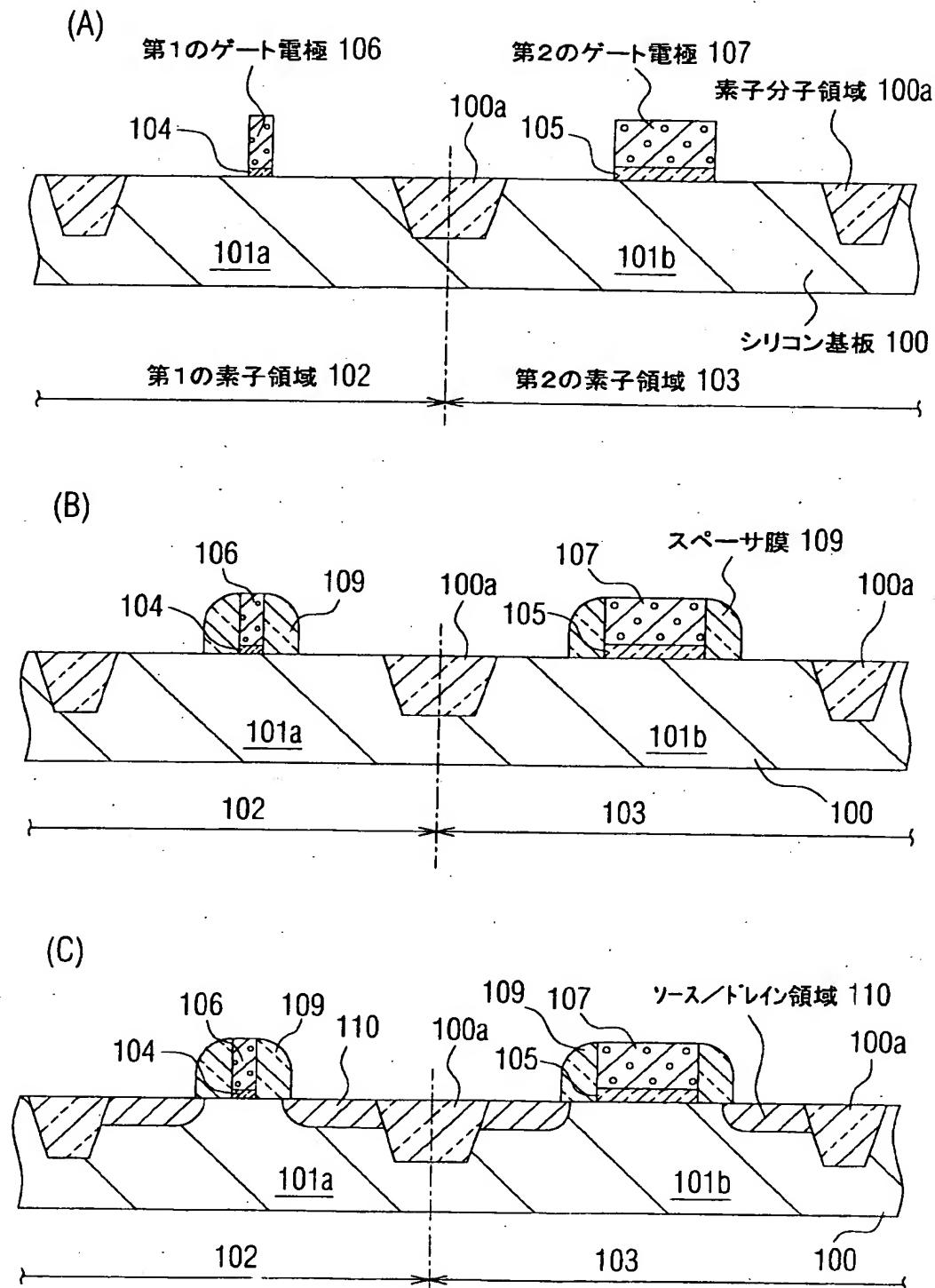
(G)



(H)

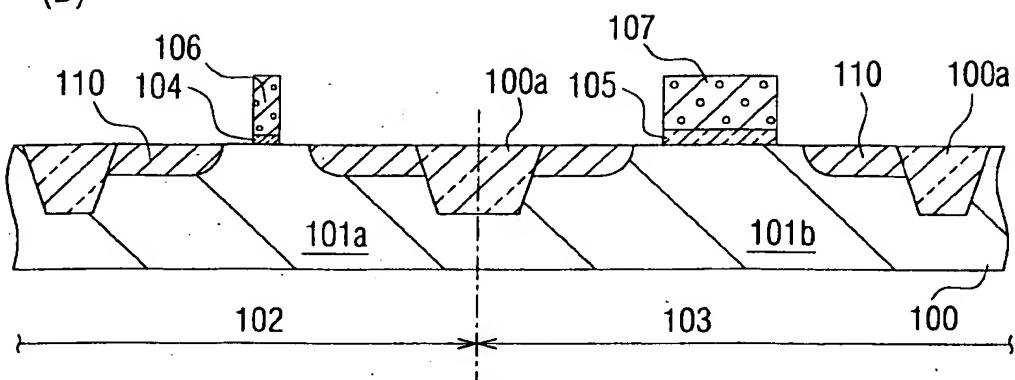


【図4】

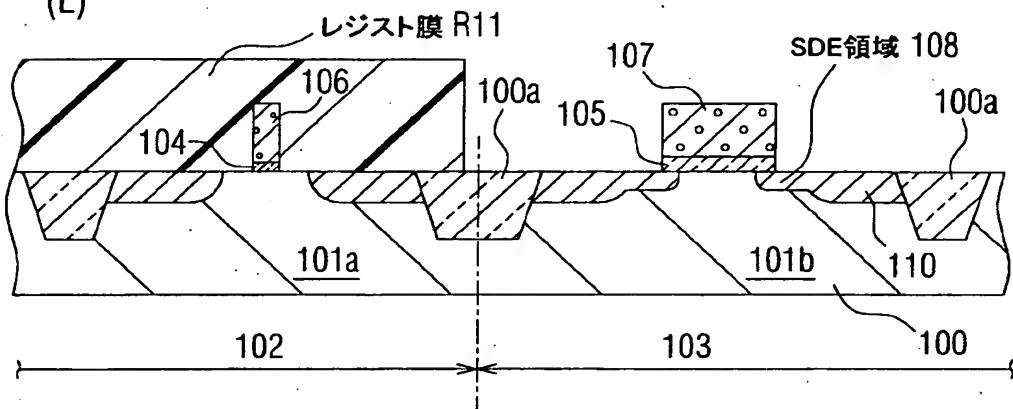


【図5】

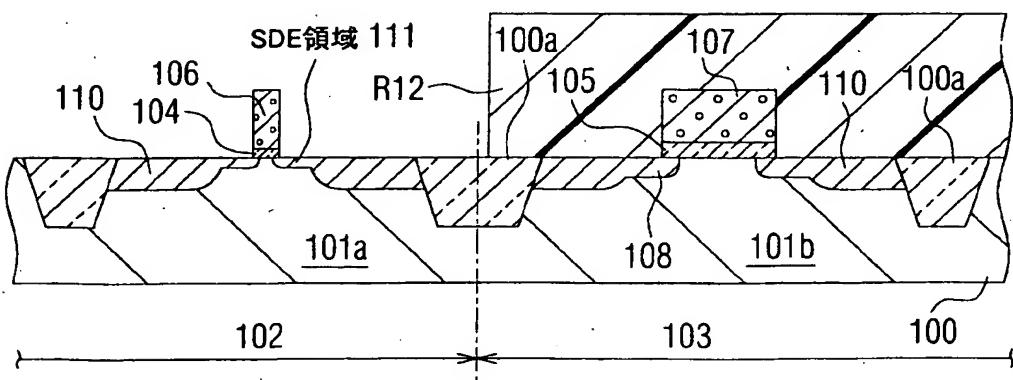
(D)



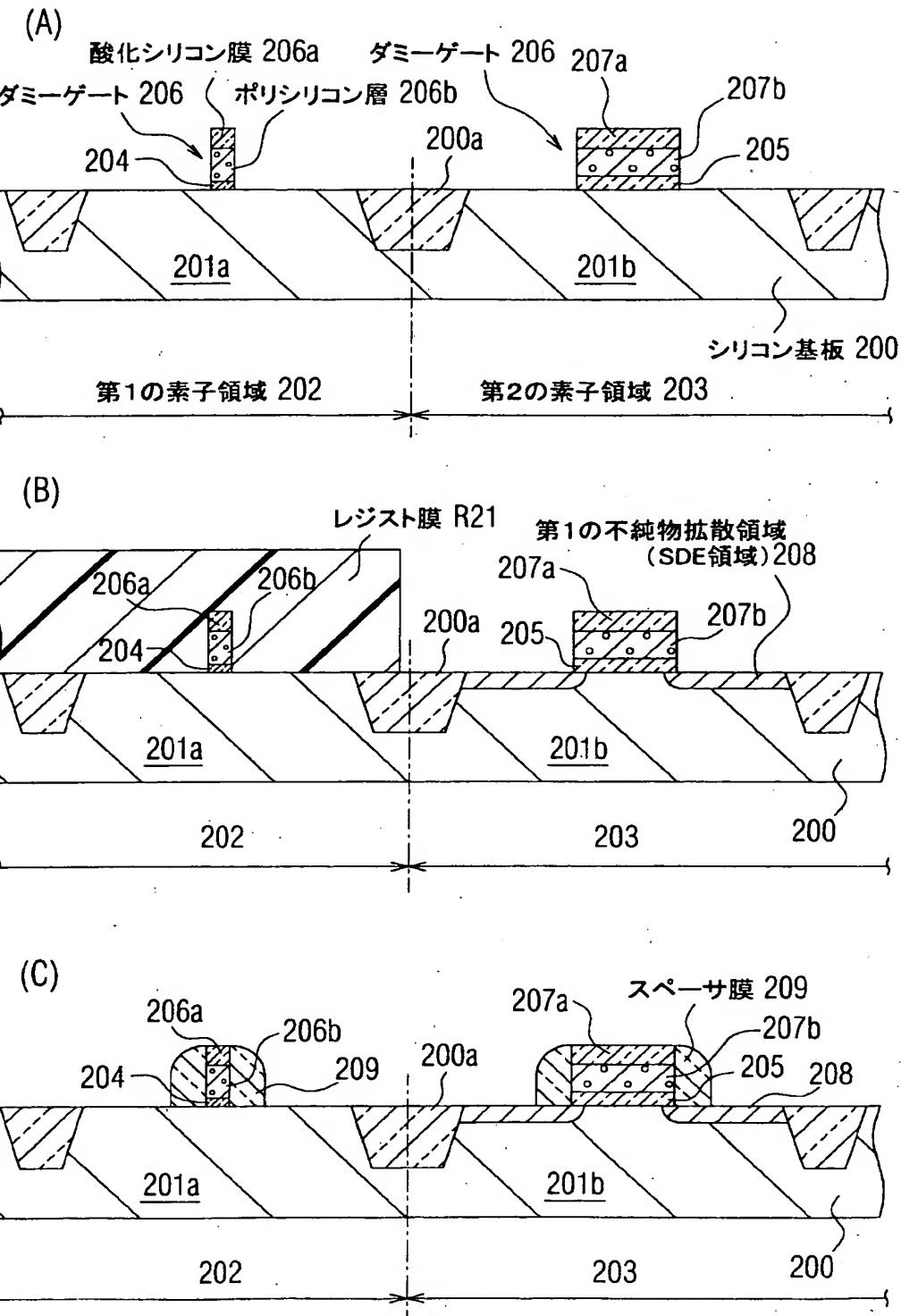
(E)



(F)

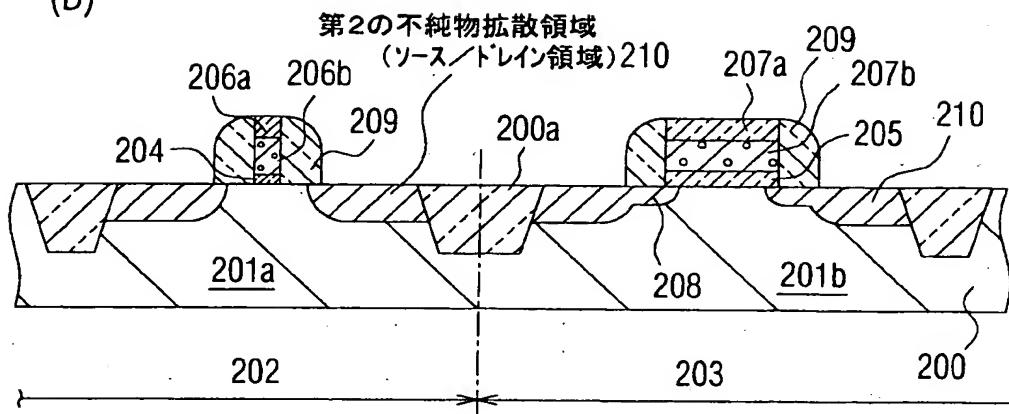


【図6】

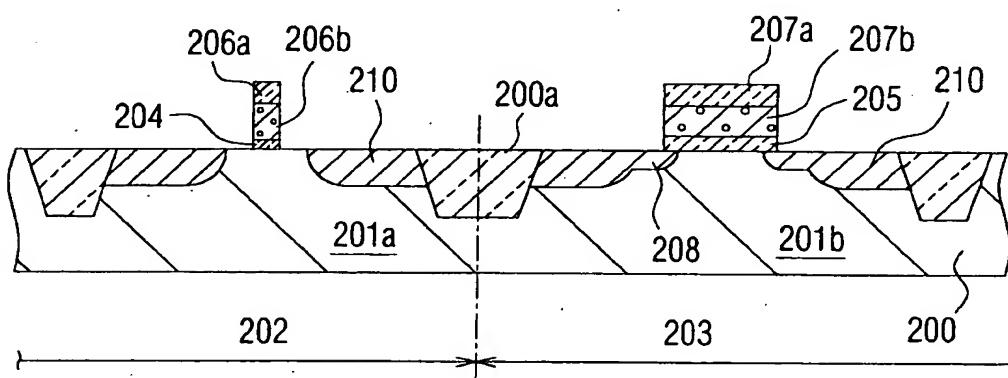


【図7】

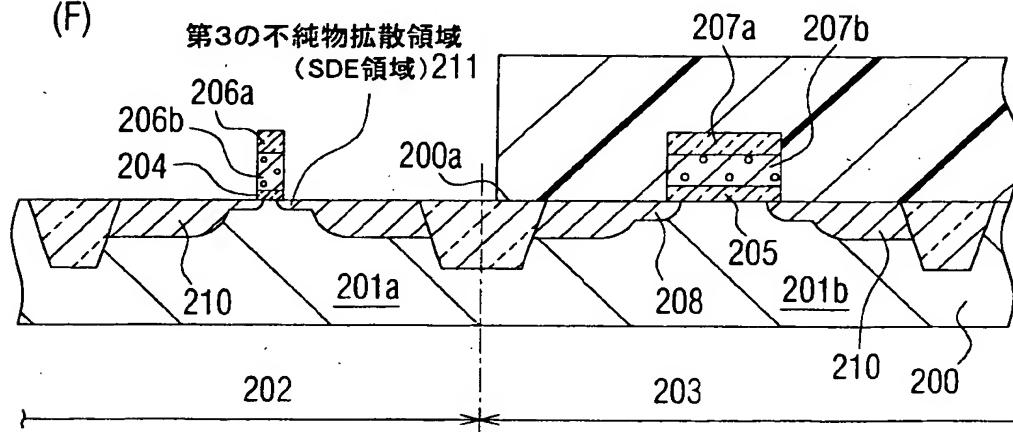
(D)



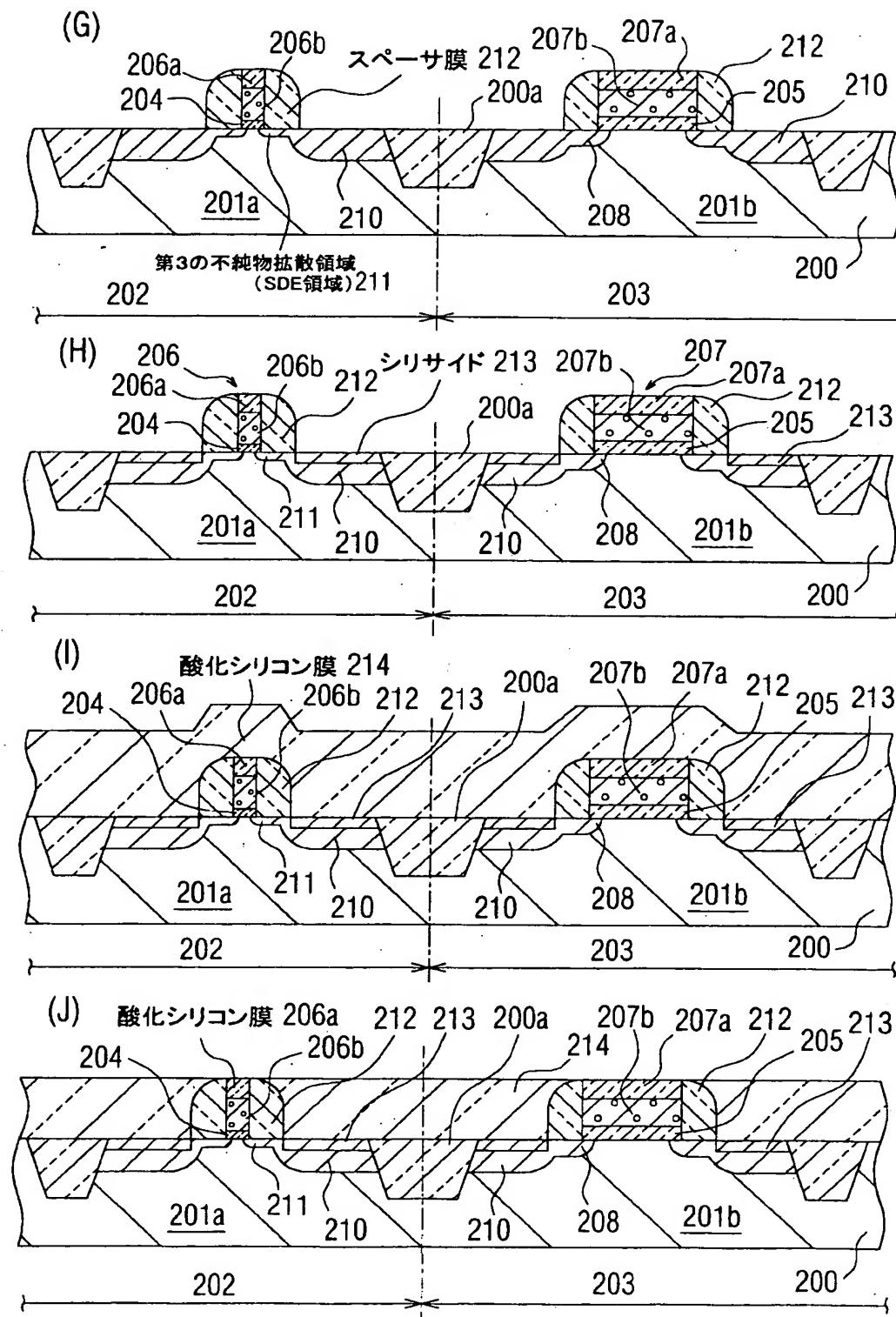
(E)



(F)

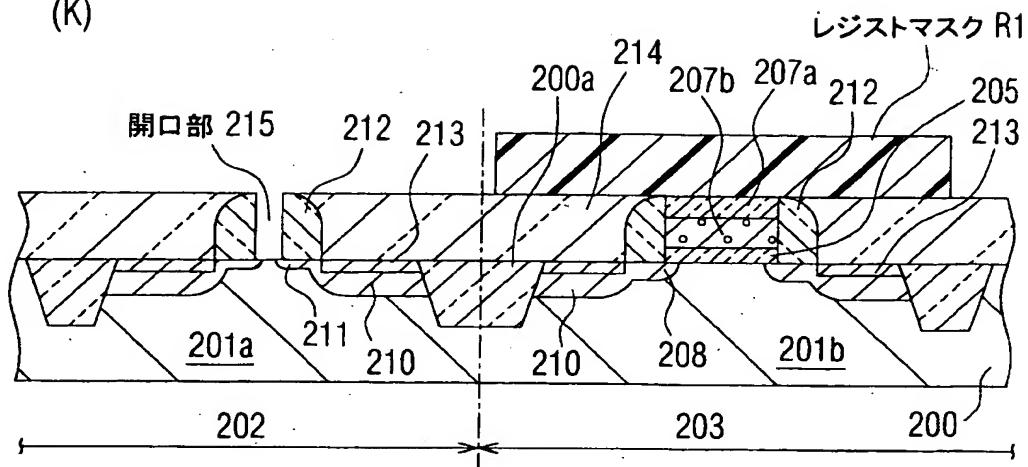


【図8】

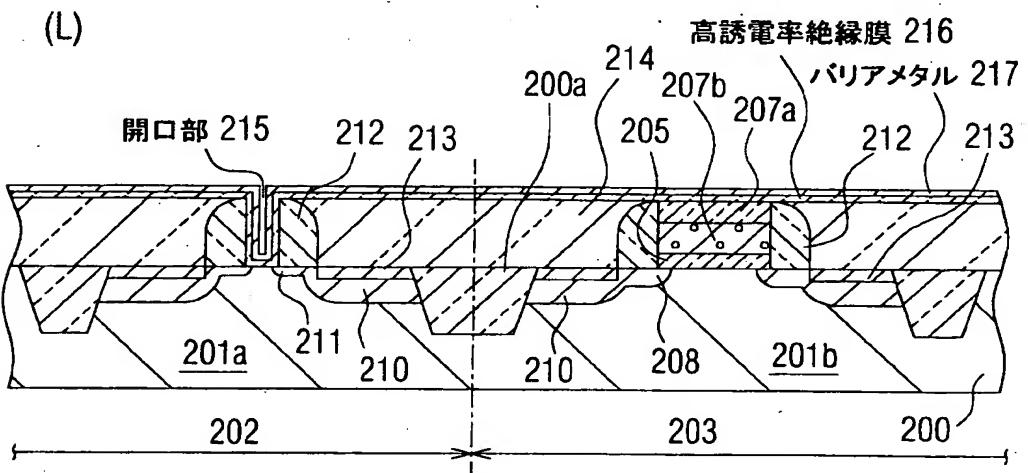


【図9】

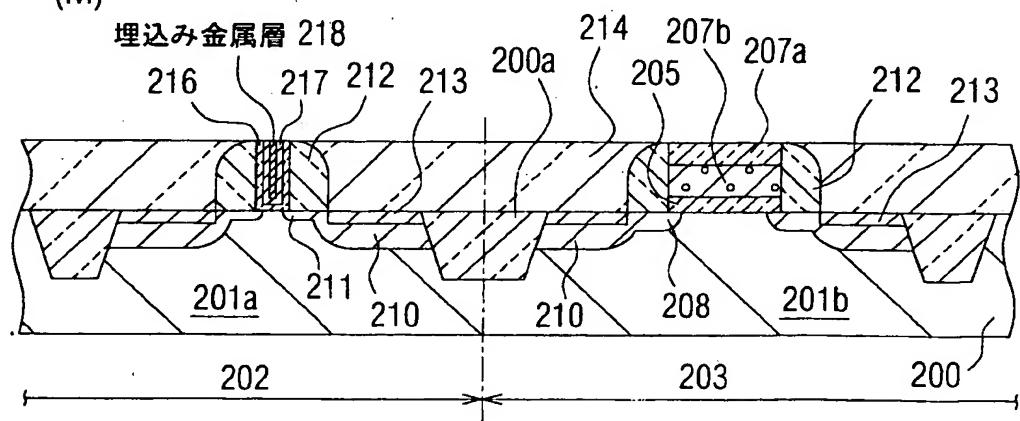
(K)



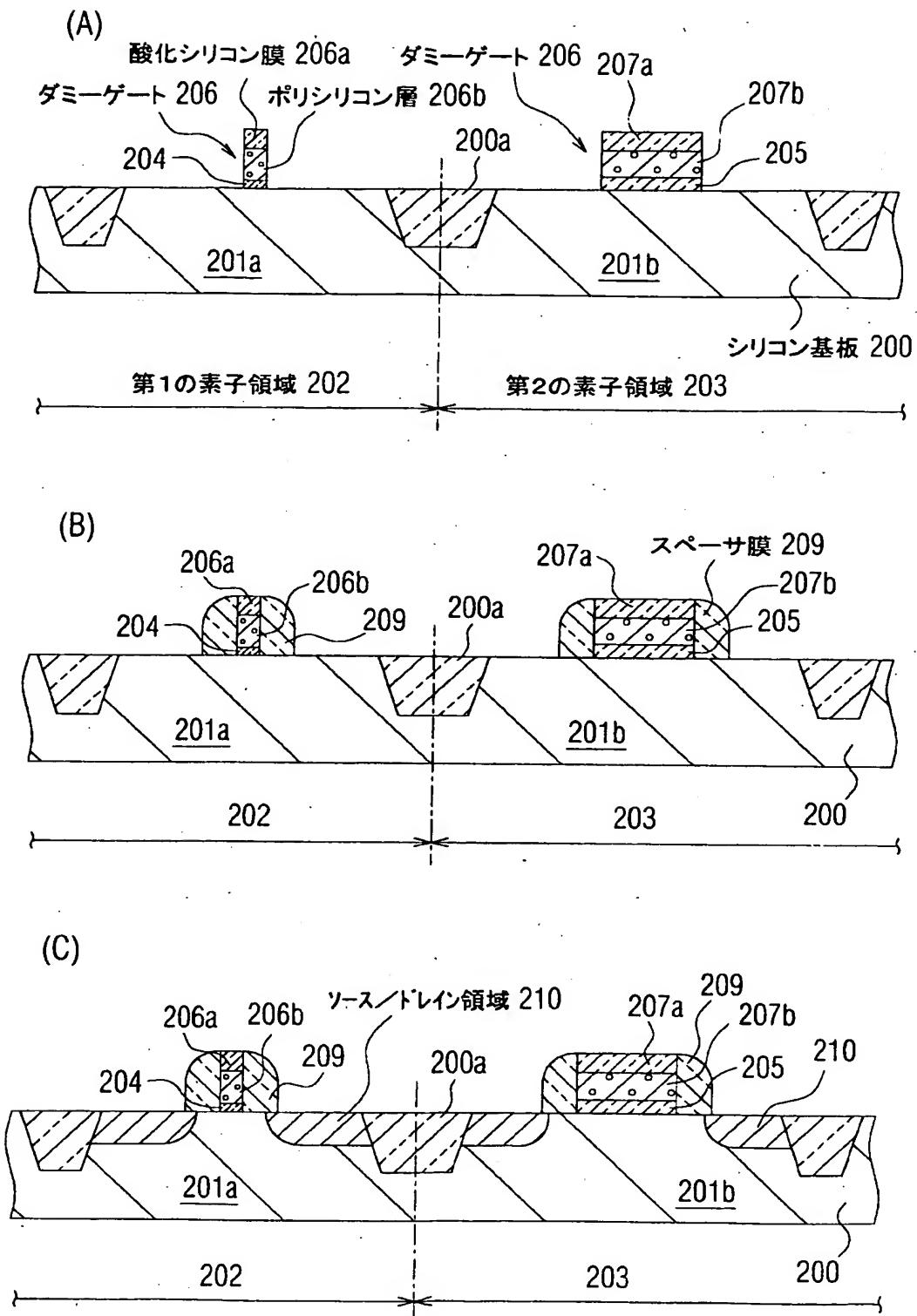
(L)



(M)

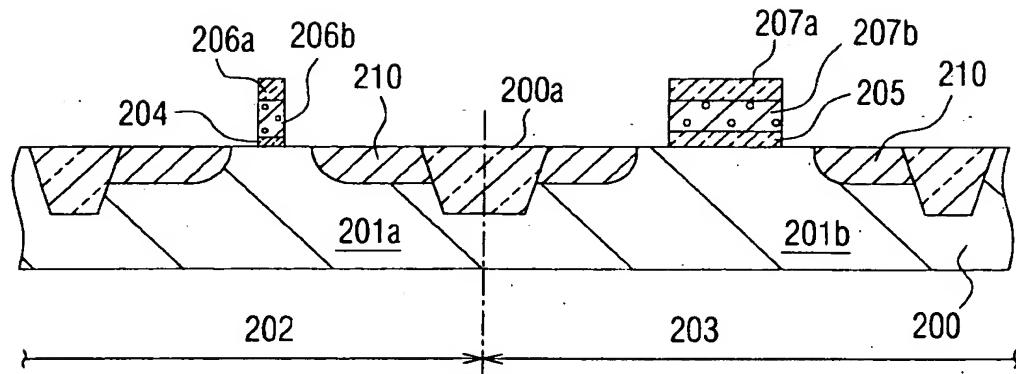


【図10】

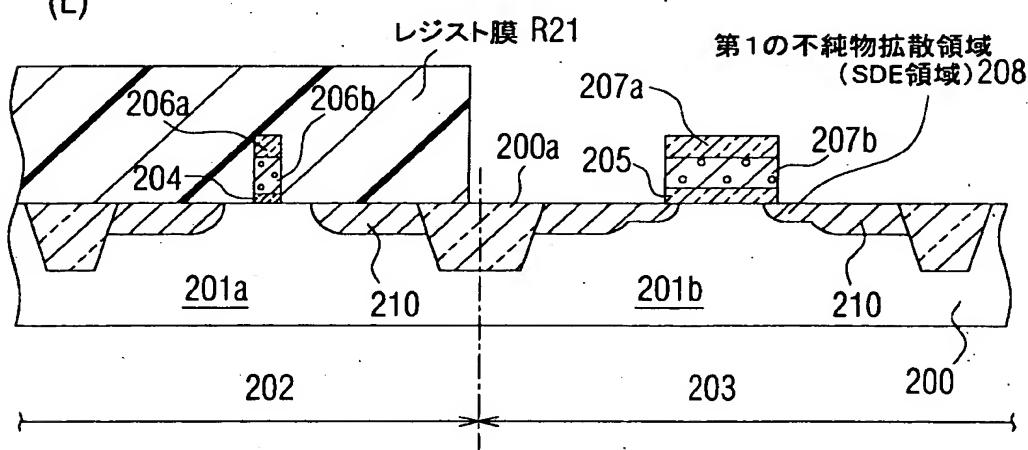


【図11】

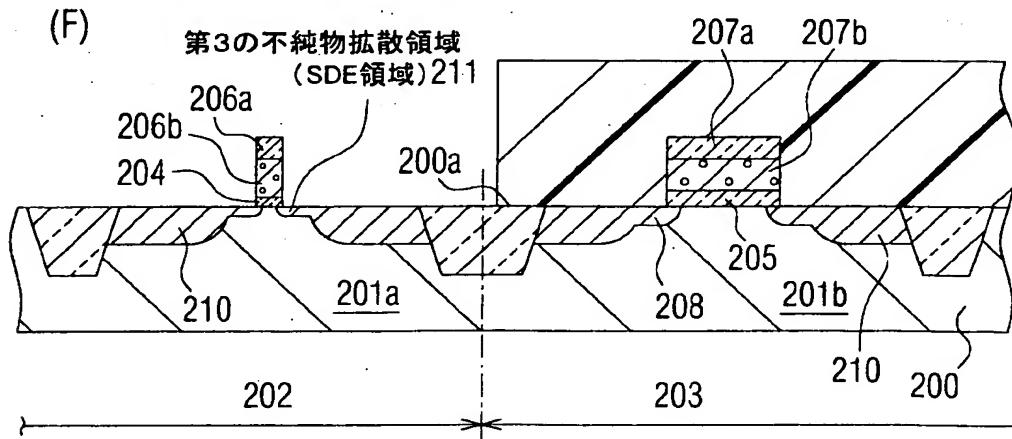
(D)



(E)

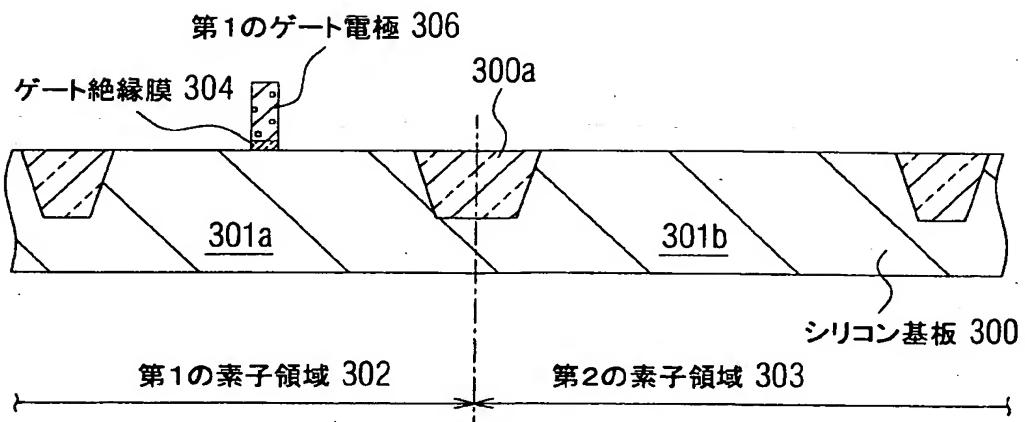


(F)

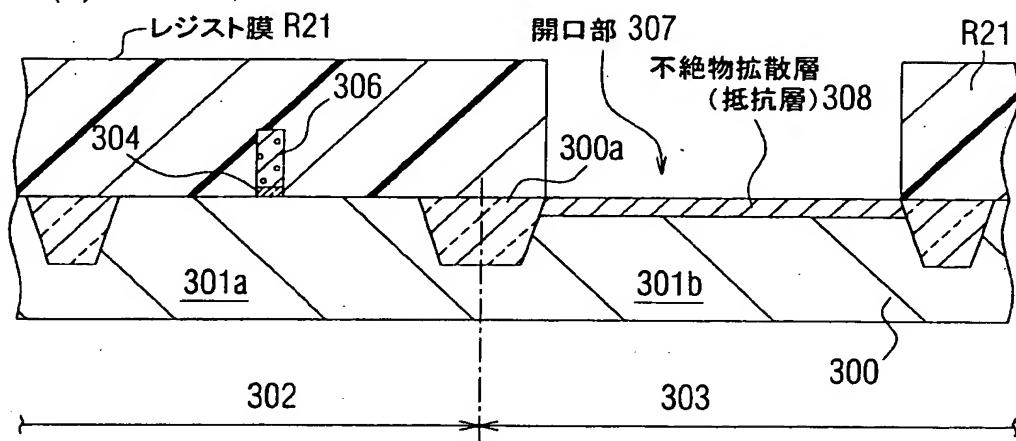


【図12】

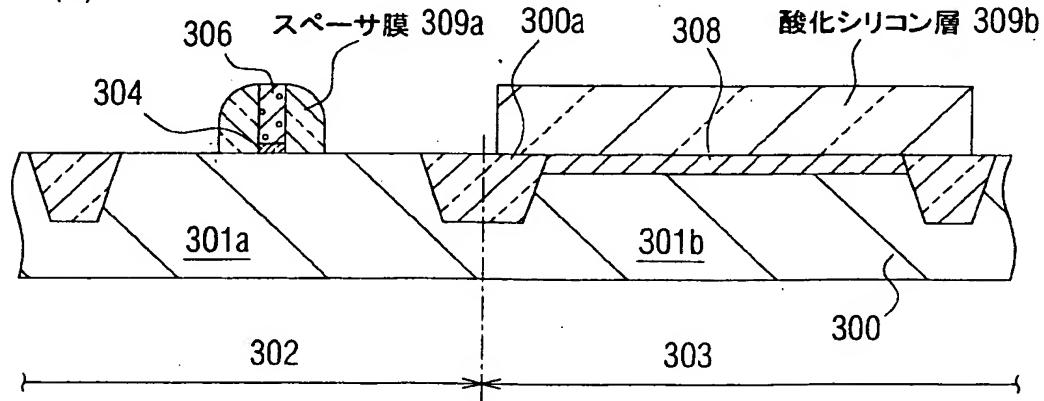
(A)



(B)

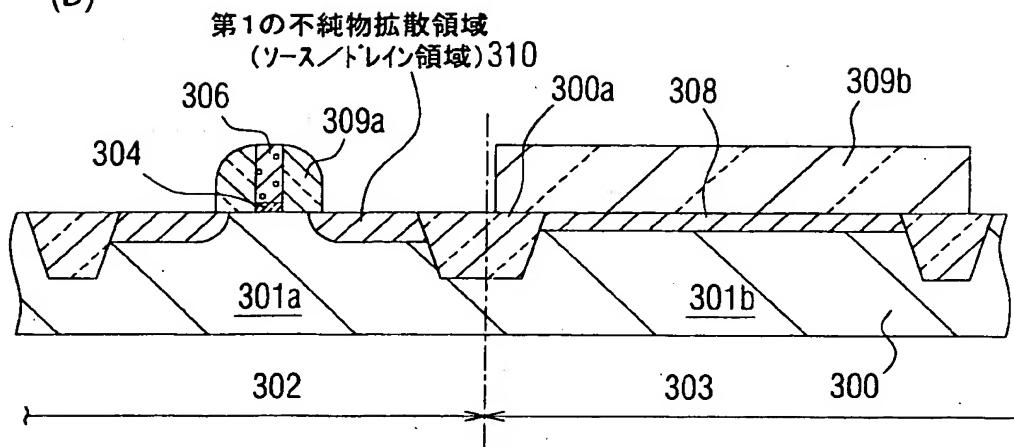


(C)

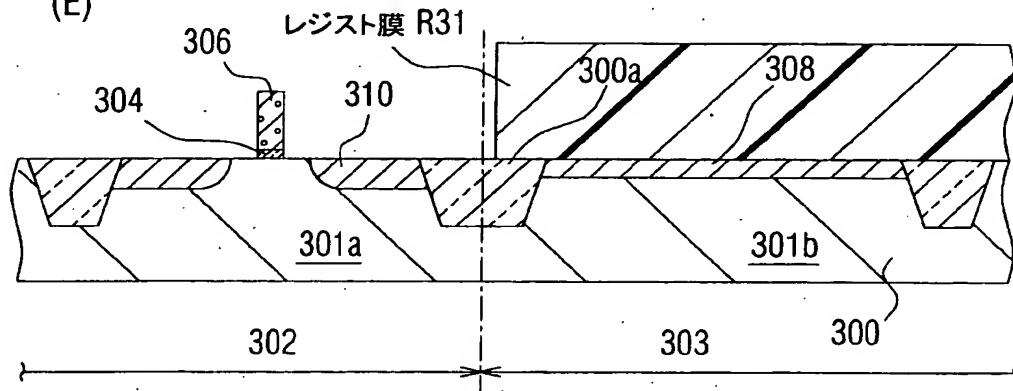


【図13】

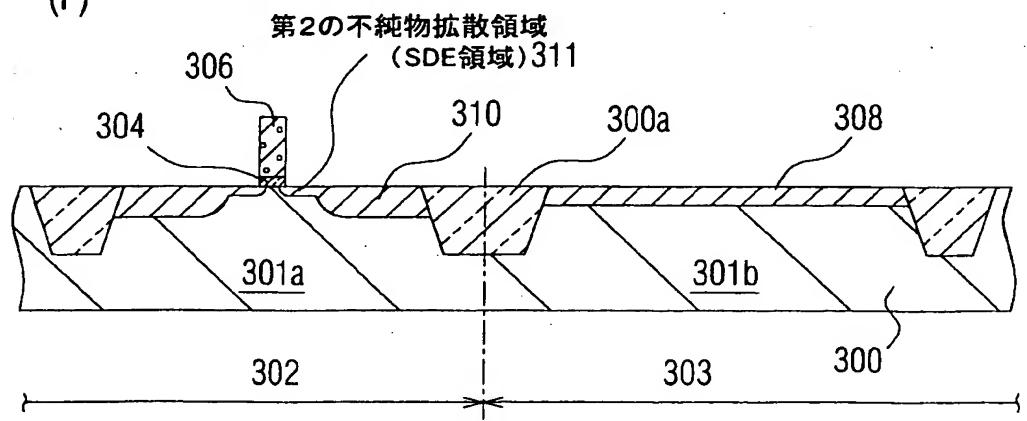
(D)



(E)

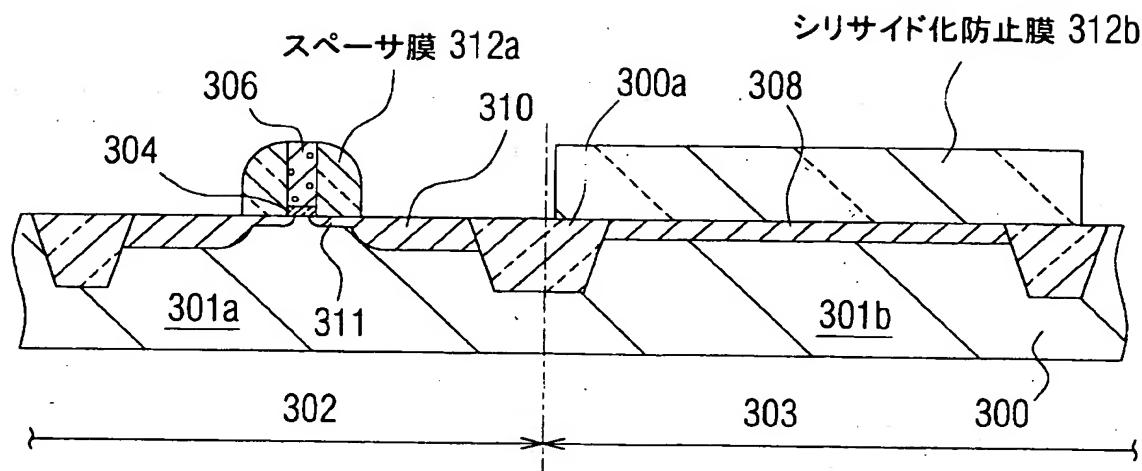


(F)

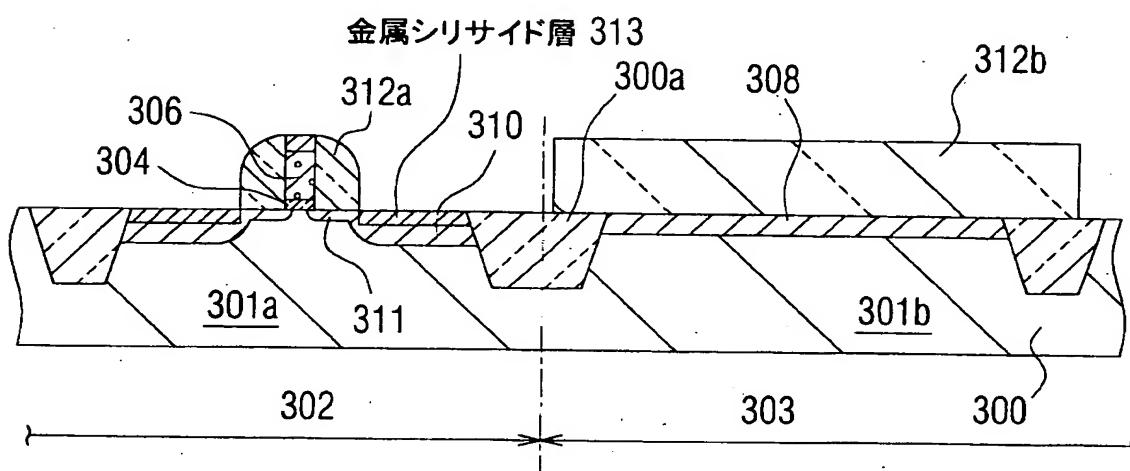


【図14】

(G)

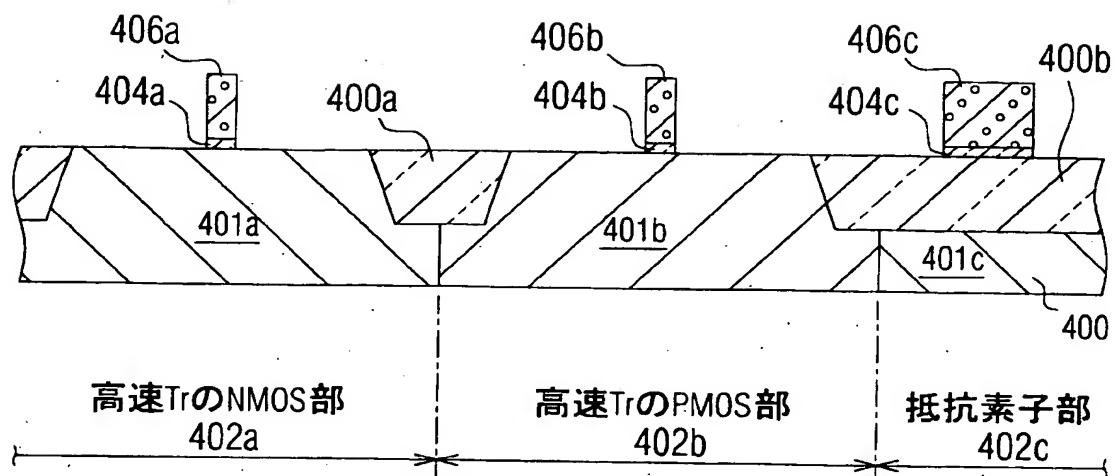


(H)

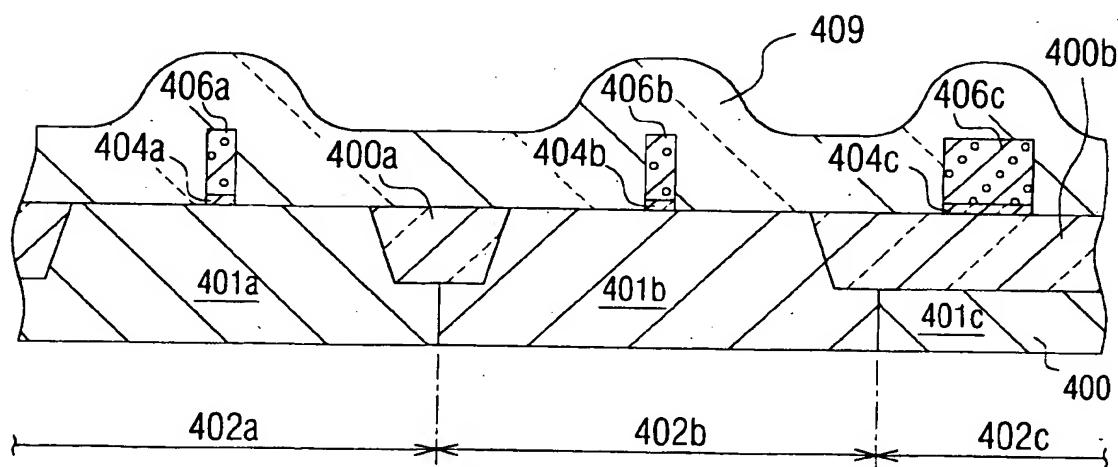


【図15】

(A)

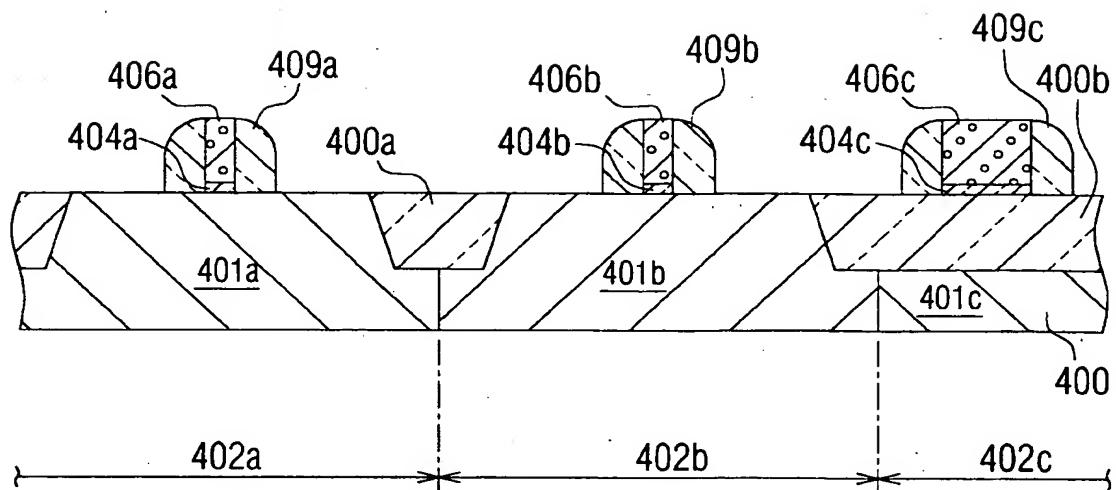


(B)

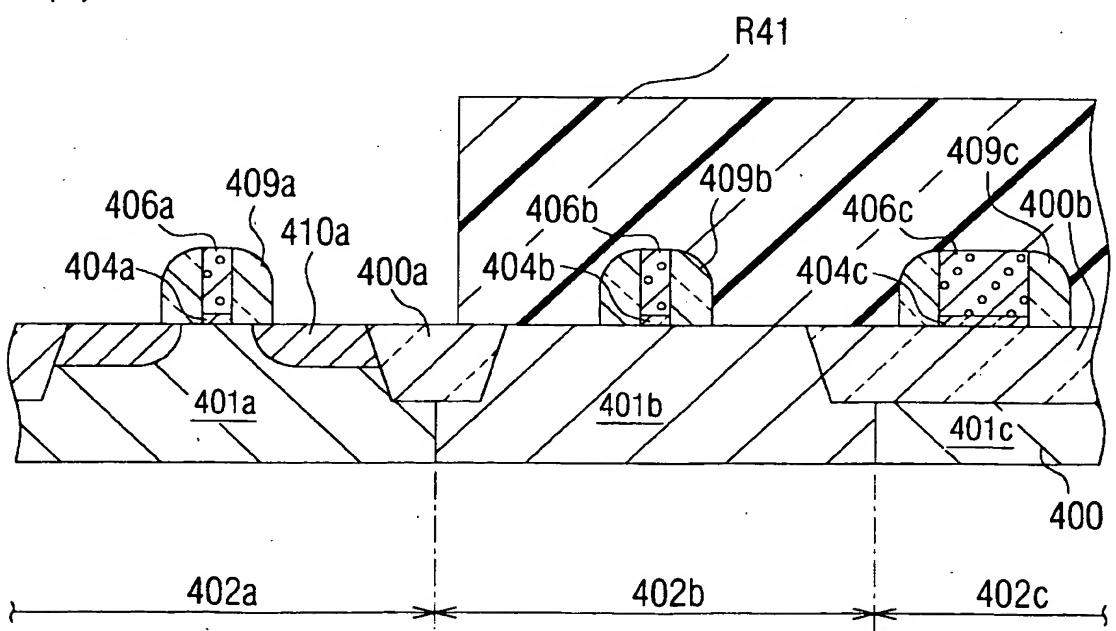


【図16】

(C)

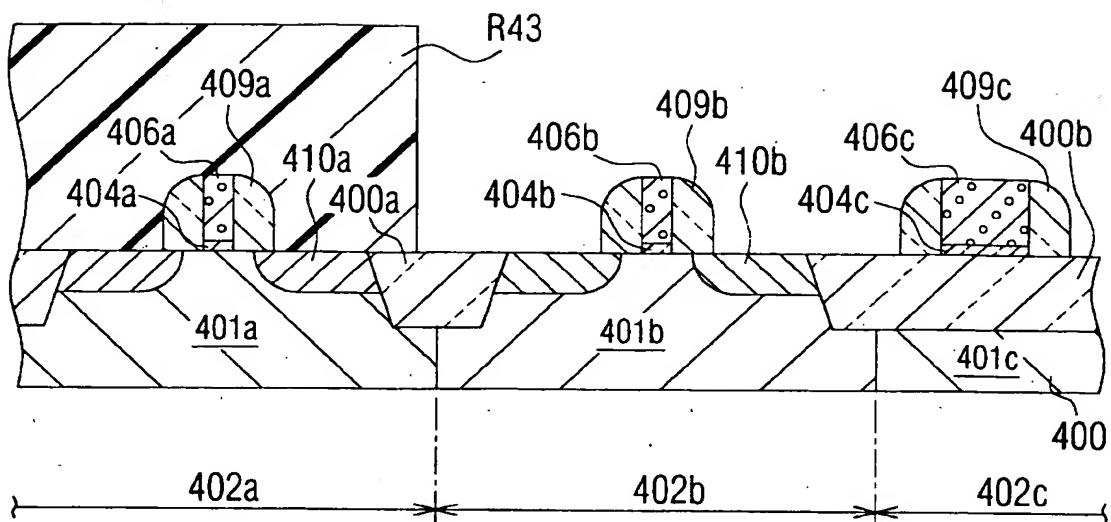


(D)

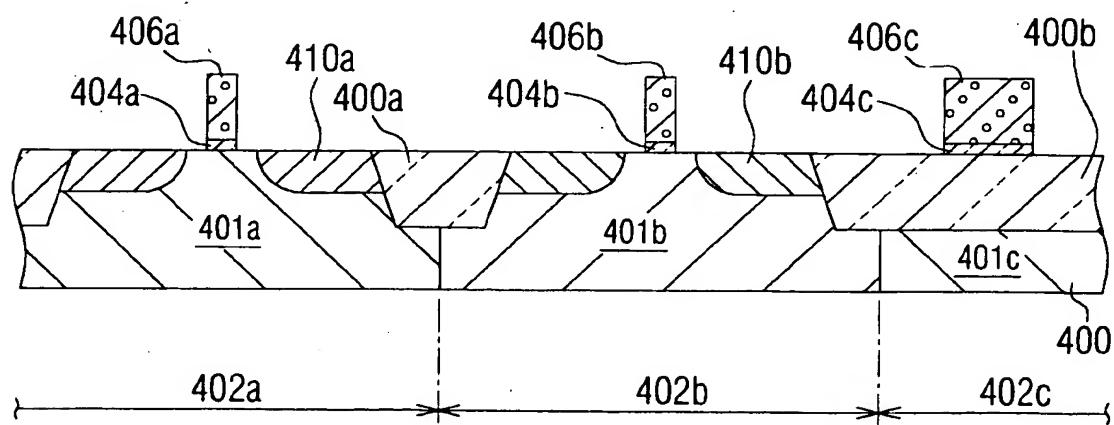


【図17】

(E)

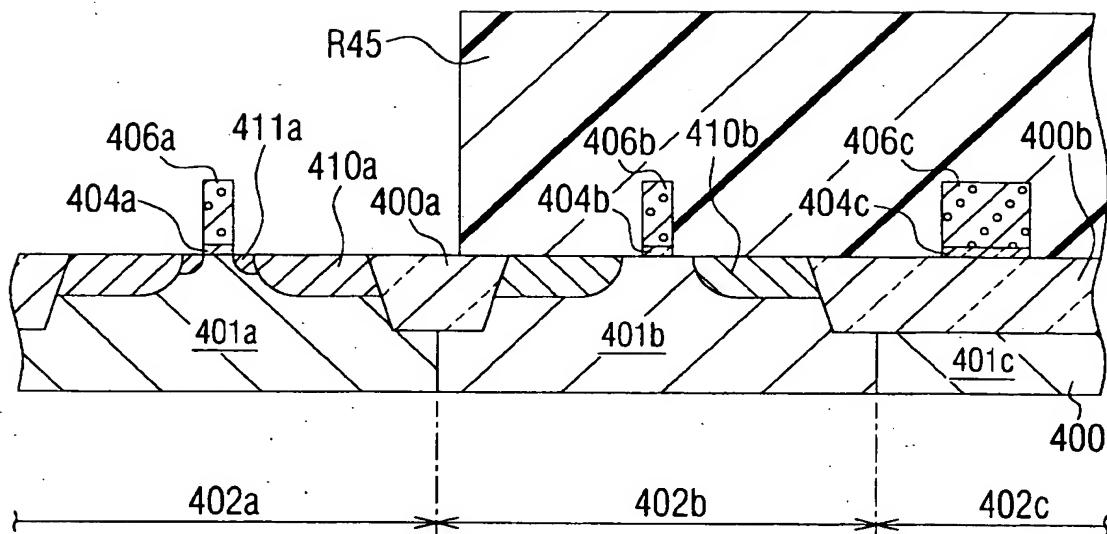


(F)

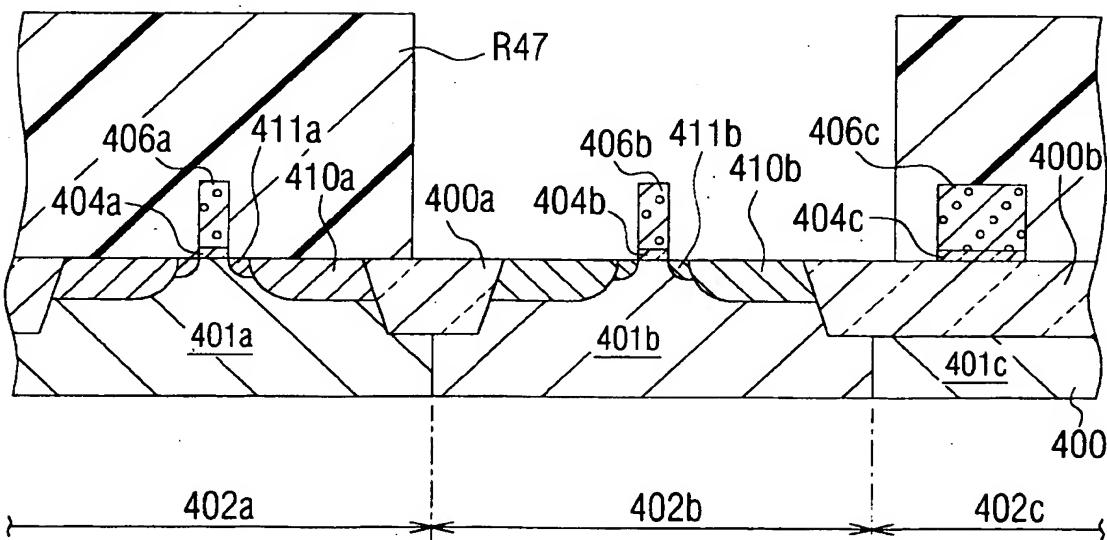


【図18】

(G)

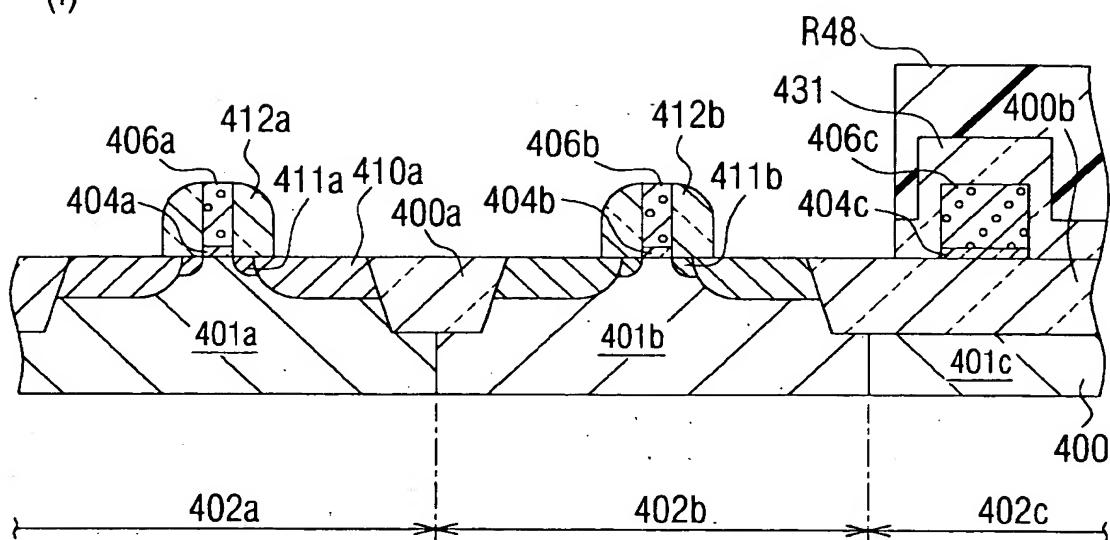


(H)

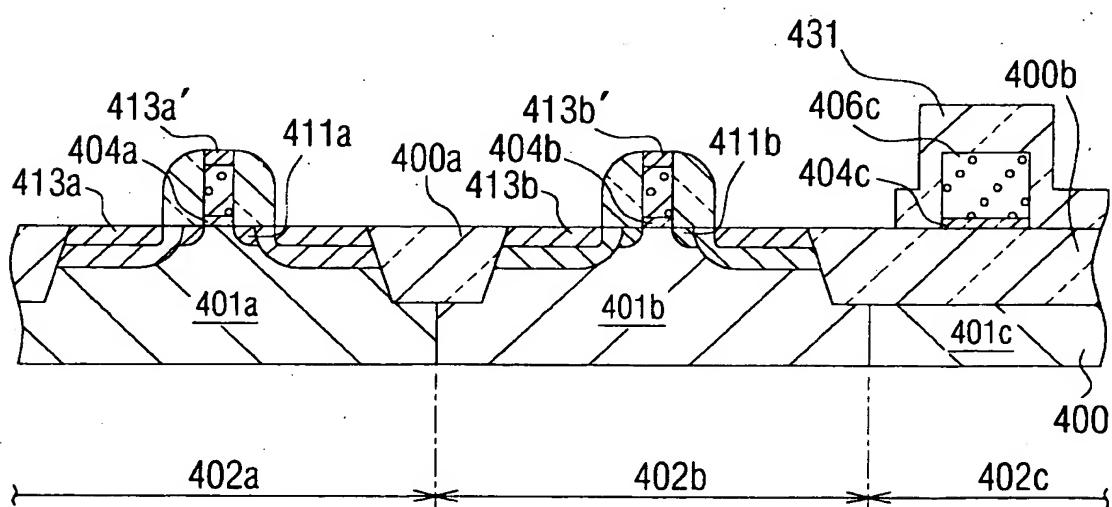


【図19】

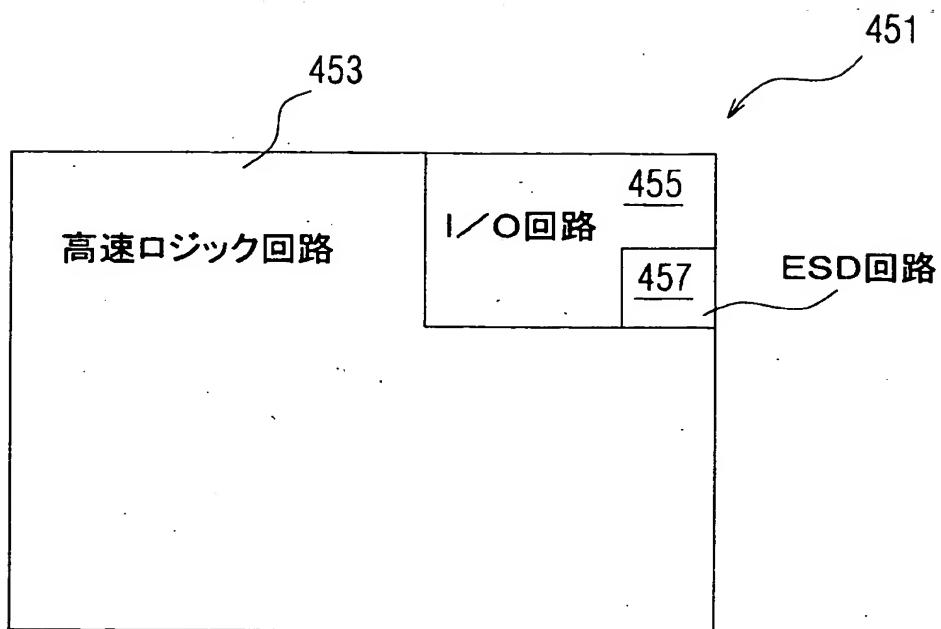
(I)



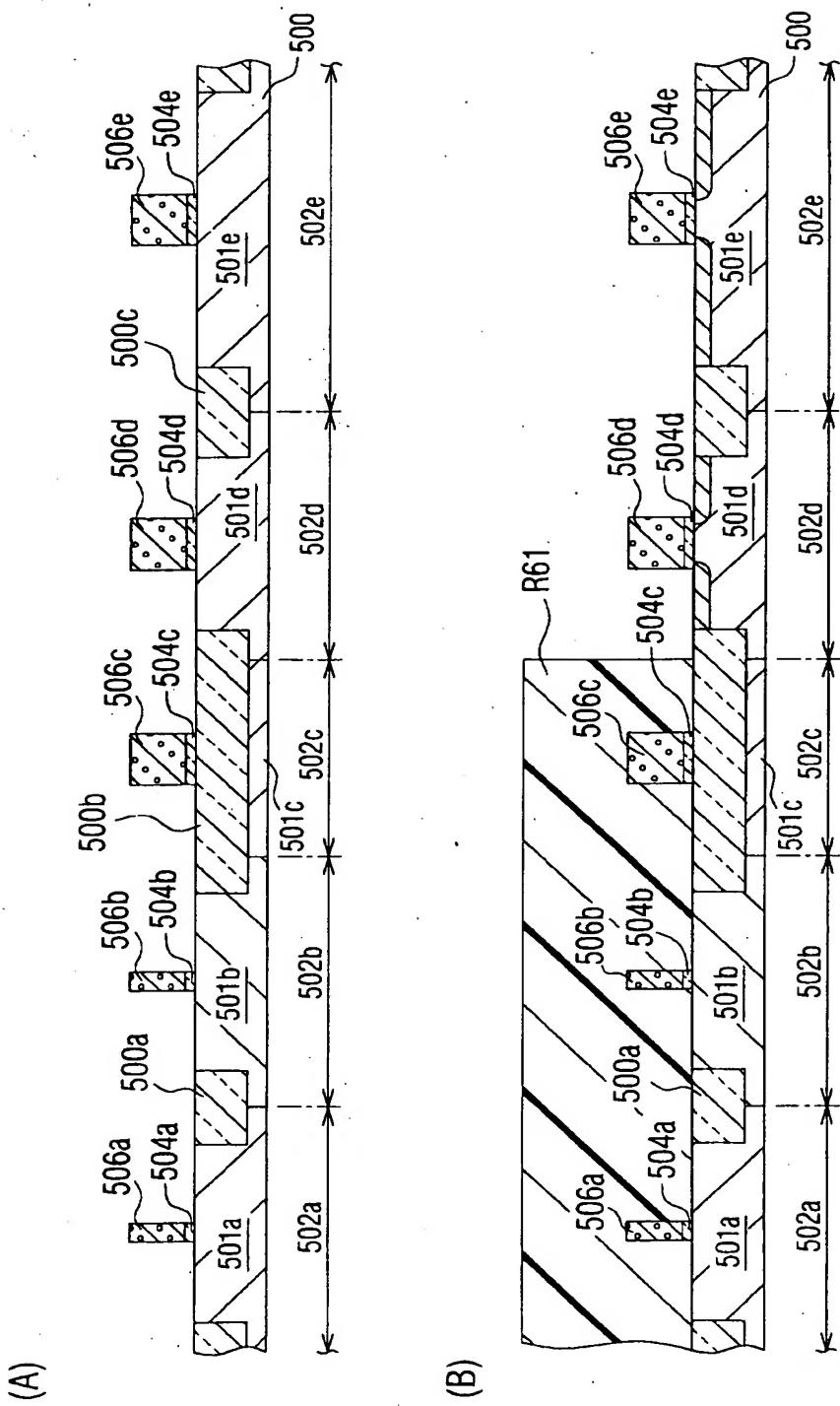
(J)



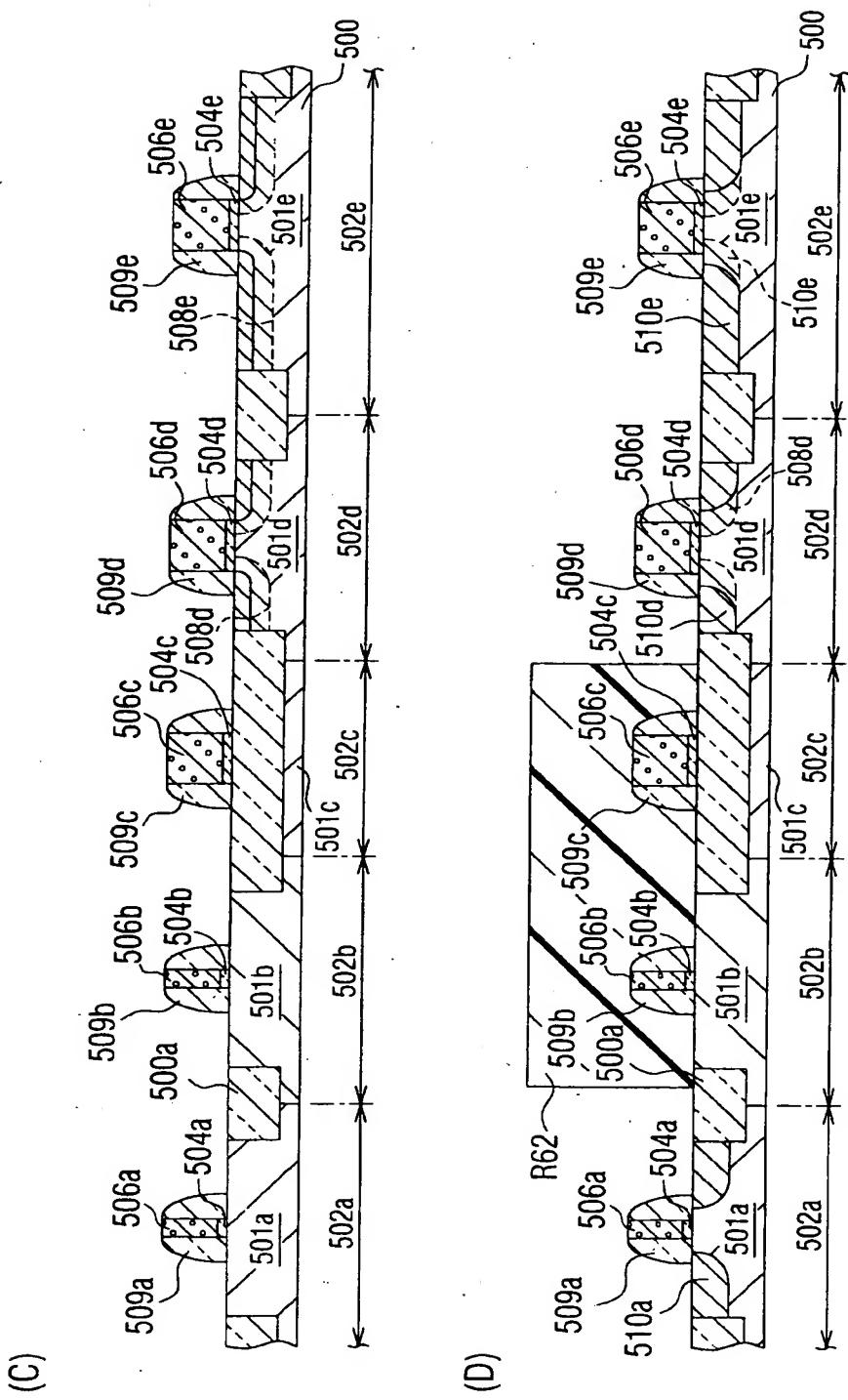
【図20】



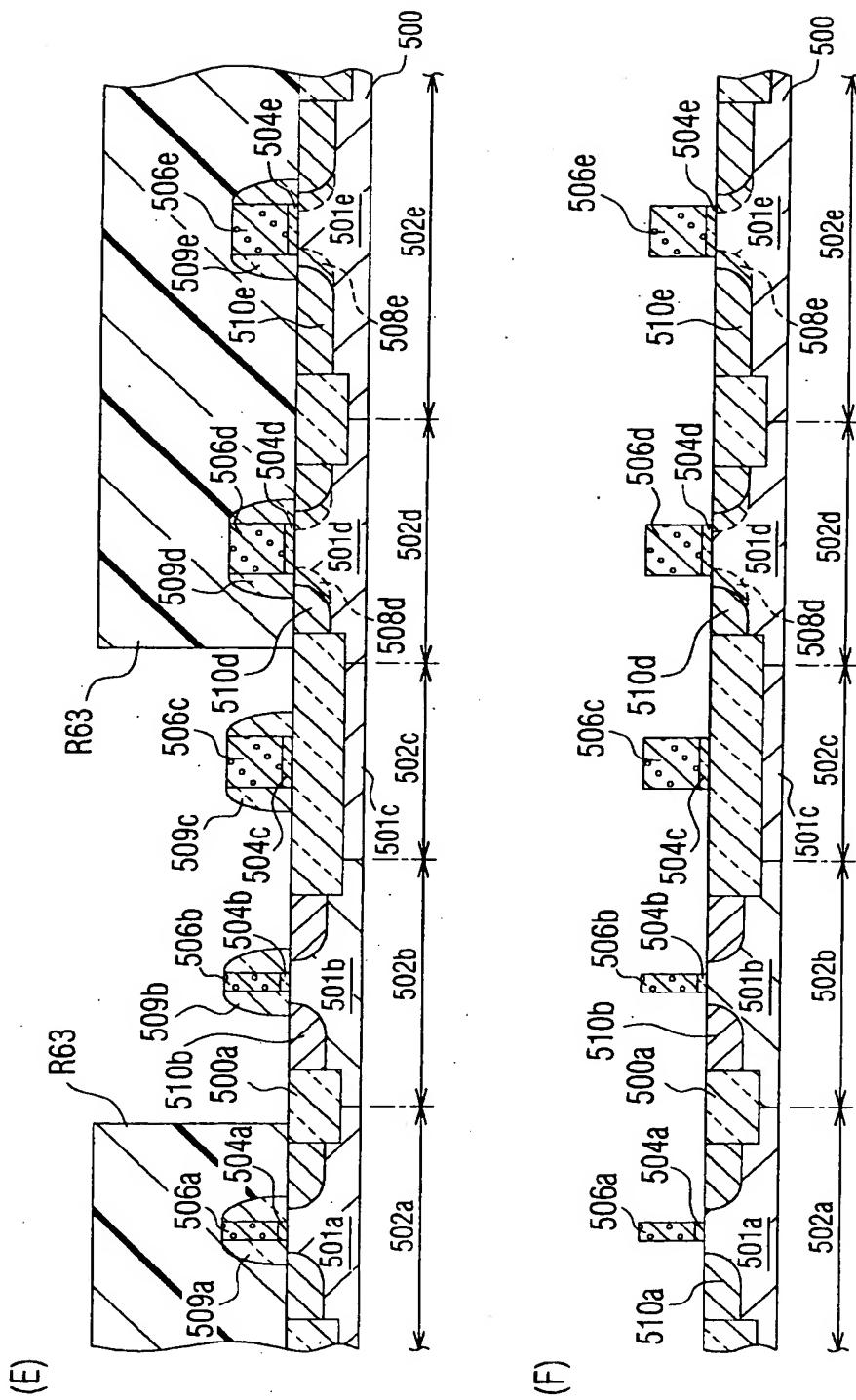
【図21】



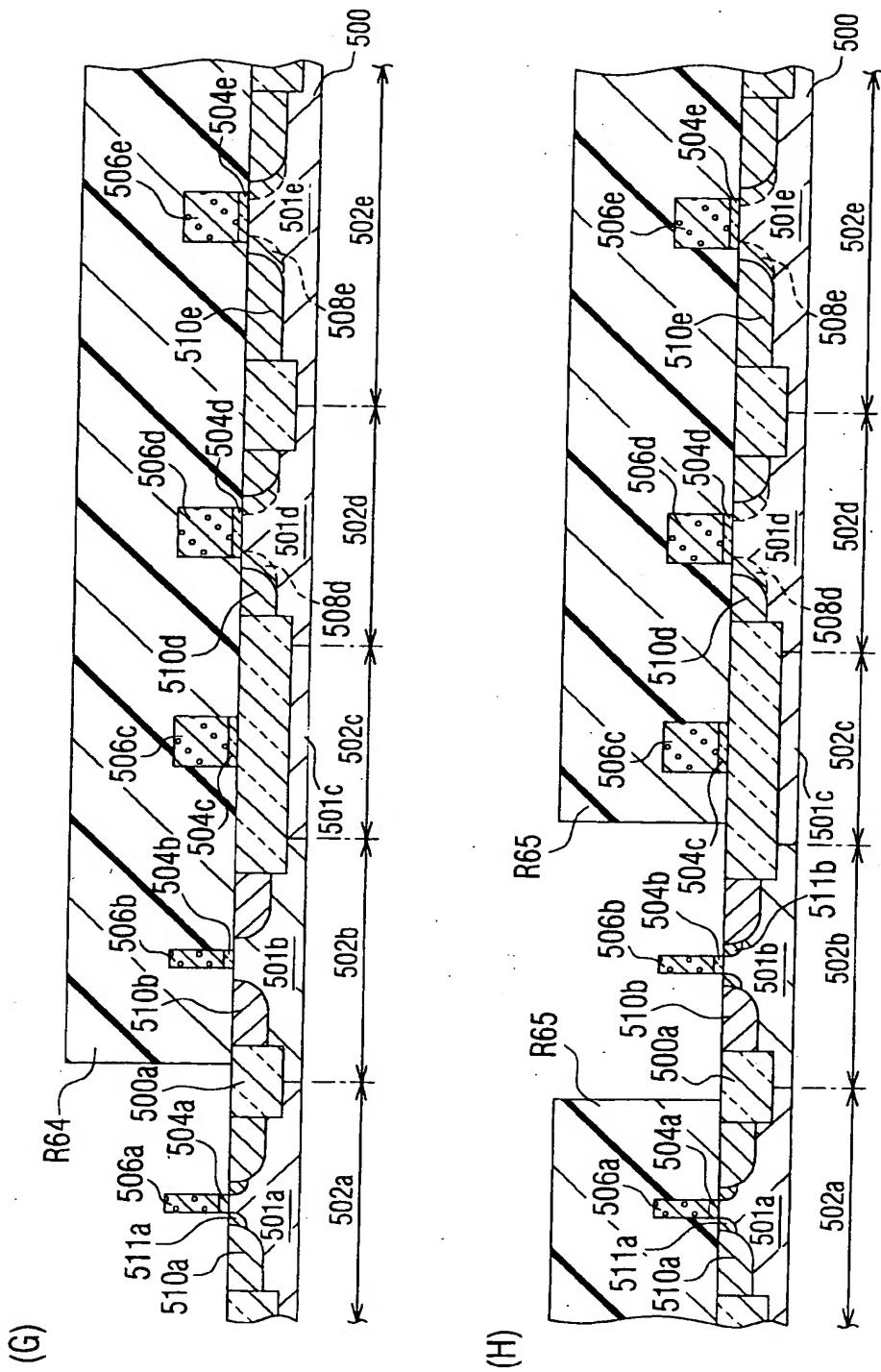
【図22】



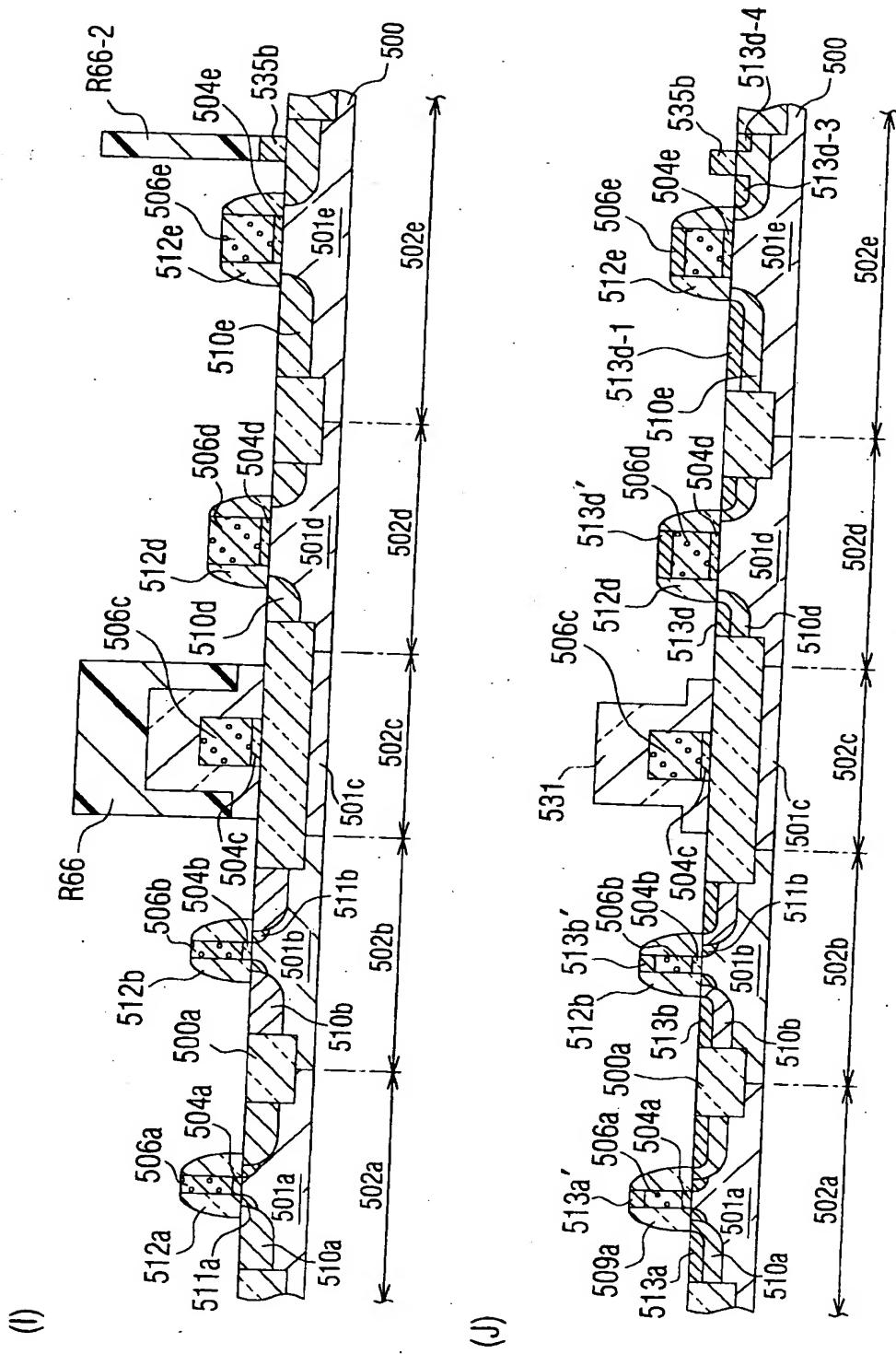
【図23】



【図24】

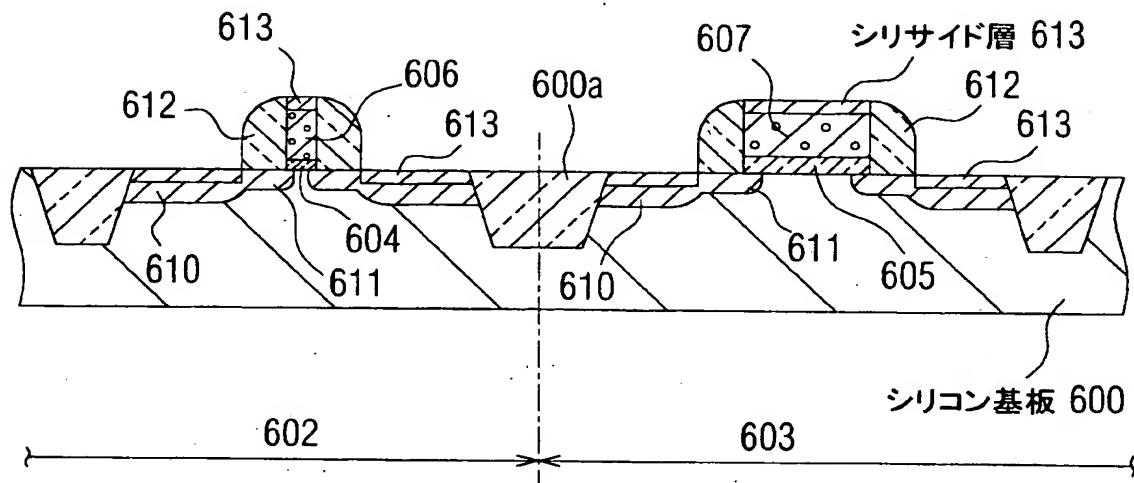


〔図25〕

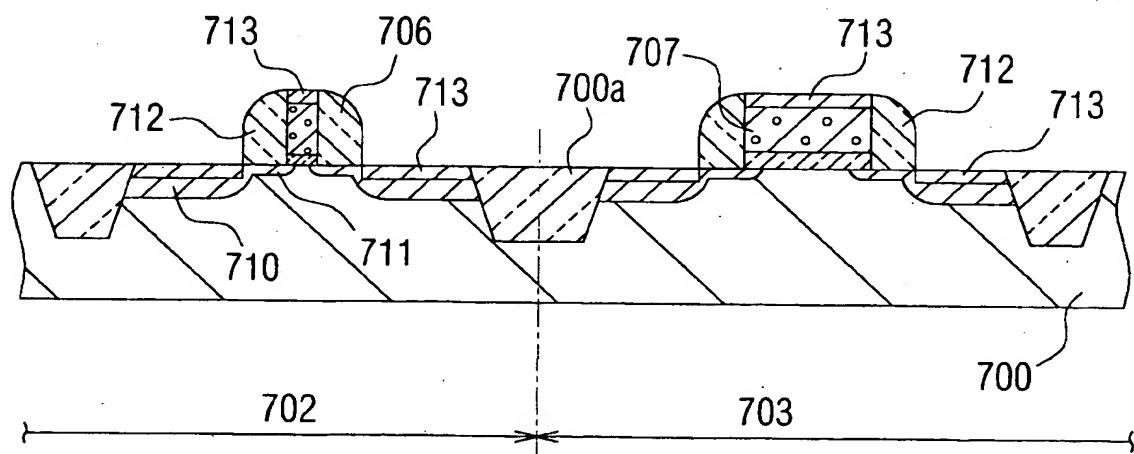


【図26】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 3以上の異なる不純物拡散領域を、同一基板上に形成する。

【解決手段】 第1及び第2領域が画定される半導体基板に第1のゲート電極と第2のゲート電極とを形成し、第2のゲート電極をマスクとして第2領域表層部に第2導電型不純物を注入し活性化処理を行う。第1の不純物拡散領域を形成する。ゲート電極の側壁上にスペーサ膜を形成し、次いでゲート電極とスペーサ膜とをマスクとして第1領域と第2領域の表層部とに第2導電型の不純物を注入し第2の活性化処理を行い第2の不純物拡散領域を形成する。次いで、第1のスペーサ膜を除去し、第1のゲート電極をマスクとして第1領域の表層部に第2導電型の不純物を注入した後第3の活性化処理を行う。第3の不純物拡散領域が形成される。そのp-n接合部における不純物濃度分布の勾配が、第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で第3の活性化処理を行う。

【選択図】 図3 (H)

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社